NS2157 I²C 控制单节 2A 快速充电器，支持 USB On-the-Go 升压模式

1 特性

- 高效率 2A，1.2MHz 开关模式降压充电
  - 550mA~2050mA 充电电流可调
  - 低功耗 PFM 模式，适合轻负载操作
- 支持 USB On-the-Go（OTG）功能
  - 升压转换器，输出电流 0.5A
  - 5V/0.5A 输出时的升压效率为 92%
  - 针对轻负载效率支持 PFM 模式
- 芯片输出与电池终端间的电阻补偿（IRCOMP）
- 支持 1.8V I²C 接口，可配置实现最优系统性能
- 高集成度，包括所有 MOSFET、电流检测和环路补偿
- 20V 绝对最大 VBUS 输入电压
- 高精度
  - +-0.5%充电恒压电压调节
  - +-3%恒流充电电流调节
  - +-5%输入电流限制调节
- 用于低功耗的自动高阻抗模式
- 强健的保护
  - 反向漏电保护防止电池漏电
  - 热调节和热保护
  - 输入/输出过压保护
  - 输入/输出短路保护
  - 针对充电和 OTG 的故障状态输出
- 自动充电
- 带复位控制功能的看门狗定时器
- 1.975mm*1.575mm 20 引脚晶圆级芯片(WCSP)封装和 4mm*4mm*0.75mm QFN20 封装

2 应用

- 智能手机
- 手持式数码设备

3 典型应用图

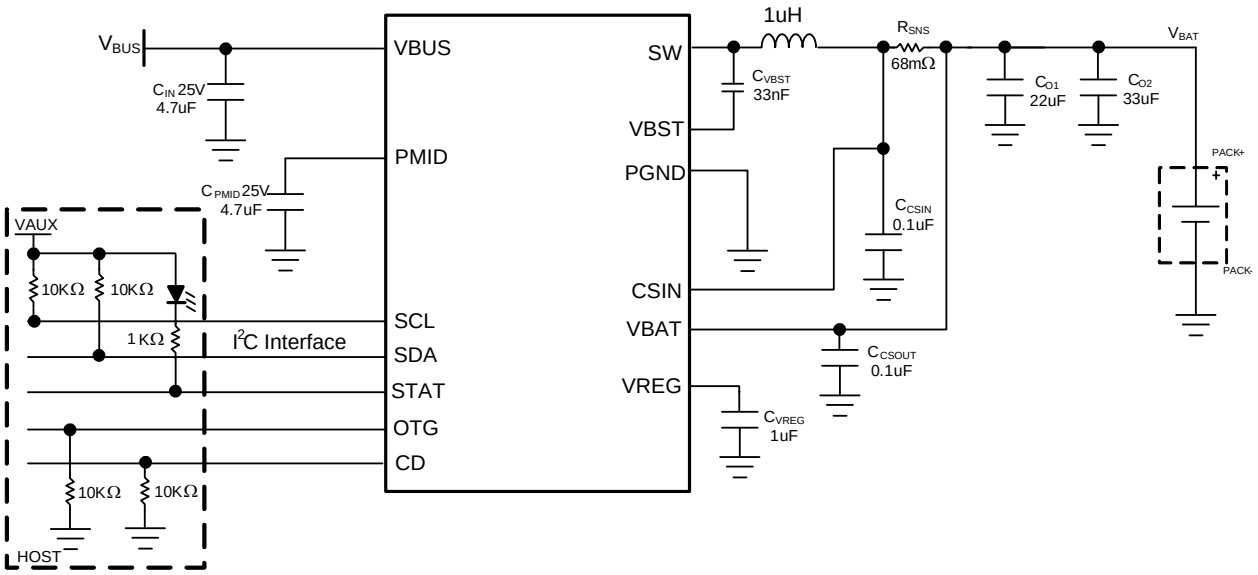


图 1　NS2157 典型应用电路

2018 Copyright © Nsiway Technology

4 说明

NS2157 是一款针对广泛便携式应用中所用单节锂离子和锂聚合物电池的紧凑、灵活、高效、支持 USB 开关模式充电管理的芯片。可通过 I^2C 接口对充电参数和相关配置进行编程。芯片将同步 PWM 控制器、功率 MOSFET、输入电流感应、高准确度电流和电压调节以及充电终止功能集成到小型 WCSP 和 QFN 封装中。

NS2157 分四个阶段对电池进行充电：激活、涓流、恒定电流和恒定电压。输入电流被自动限制在主机设定的值上。根据电池电压和用户可选最小电流水平，充电被终止。带有复位控制的安全定时器为 I^2C 接口提供安全补充。正常运行期间，如果电池电压低于内部阀值，芯片自动重新启动充电周期并当输入电压被移除后，自动进入睡眠模式或者高阻抗模式。充电状态可通过 I^2C 接口报告给主机。在充电过程中，芯片监控它的结温（T_J）并且一旦 T_J 增加到大于 120°C（寄存器可配）时，减少充电电流。为了支持 USB OTG 器件，通过 Boost 电池电压，NS2157 能够提供 5V VBUS 电压。

NS2157 采用专有的 EMI 抑制技术，最大限度降低 EMI。同时提供丰富的 EMI 相关寄存器配置，来满足不同客户的需求。

NS2157 采用 20 引脚 WCSP 封装和 20 引脚 QFN 封装。

5 NS2157 芯片功能

PART NUMBER	**NS2157**
VOVP (V)	6
D4 Pin Definition	OTG
$I_{CHARGE(MAX)}$ in HOST mode with $R_{(SNS)}$ = 68 mΩ (A)	2.05
Output regulation voltage at POR (V)	4.2
Boost Function	Yes
Input Current Limit in Default Mode	500mA
Battery Detection at Power Up	No
I^2C Address	6AH
PN1 (bit4 of 03H)	1
PN0 (bit3 of 03H)	0
32S Watch Dog Timer	Enabled

2018 Copyright © Nsiway Technology

6 引脚分布图

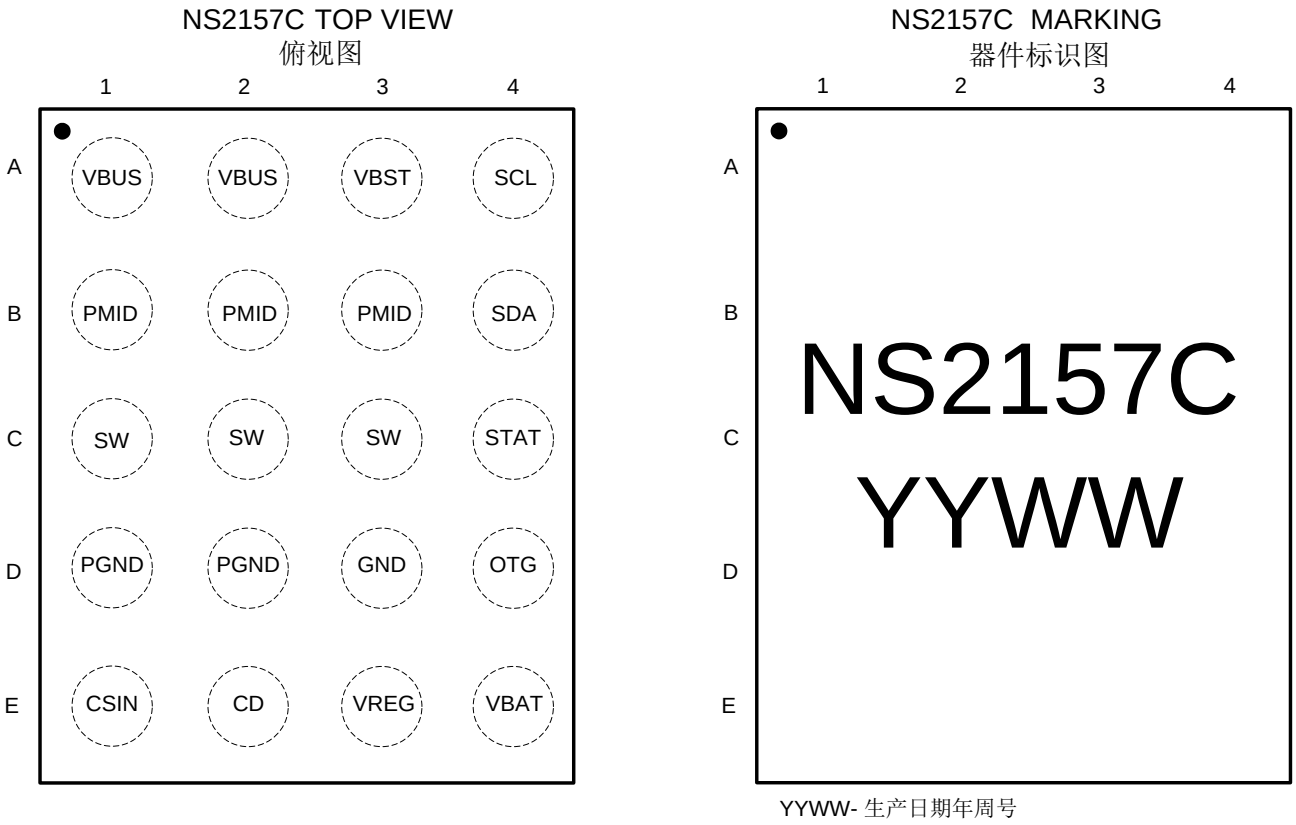


图 2 NS2157 引脚分布俯视图和器件标识图

2018 Copyright © Nsiway Technology

7 NS2157 引脚定义及功能

引脚序号		名称	描述
WCSP	QFN		
A1,A2	17,18	VBUS	充电输入端和 USB-OTG 输出端，接 4.7uF，25V 的旁路电容到 PGND
A3	19	VBST	高边功率 NMOS 管自举电源，接 33nF 的陶瓷电容到 SW
A4	20	SCL	I^2C 接口时钟输入
B1,B2,B3	15,16	PMID	防反灌 MOS 管和高边管的连接点，接 4.7uF，25V 的电容到 PGND
B4	2	SDA	I^2C 接口数据输入
C1,C2,C3	13,14	SW	开关端，接 1uH 电感
C4	3	STAT	充电状态指示的 Open_Drain 输出，充电时会拉低，不充电时高阻
D1,D2	11,12	PGND	功率地
D3	5	GND	地
D4	4	OTG	OTG 使能控制引脚
E1	9	CSIN	充电电流采样输入引脚
E2	8	CD	充电关闭引脚，CD=0 时充电使能，CD=1 时充电关闭
E3	7	VREG	内部 Bias 电源输出引脚，接 1uF 电容到 PGND
E4	6	VBAT	电池电压正输入端
	1,10	NC	No Connect

2018 Copyright © Nsiway Technology

8 绝对最大范围

	参数	范围	单位
电源电压	VBUS to PGND	-0.3～20	V
输出引脚电压	PMID，VBST，STAT to PGND	-0.3～20	V
	VREG to PGND	7	V
输入引脚电压	SW，CSIN，VBAT，SDA，SCL，OTG，CD to PGND	-0.3～7	V
CSIN 与 VBAT 之间电压	V_{CSIN}-V_{VBAT}	-7～7	V
VBST 与 SW 之间电压	V_{VBST}-V_{SW}	-0.3～7	V
VBUS 与 PMID 之间电压	V_{VBUS}-V_{PMID}	-7～0.7	V
PMID 与 SW 之间电压	V_{PMID}-V_{SW}	-0.7～20	V
环境温度	T_A	-40～85	℃
结温	T_J	-40～150	℃
ESD	HBM	2000	V
Latch-up JEDEC STANDARD NO.78B DECEMBER 2008		+IT:+400 -IT:-400	mA

2018 Copyright © Nsiway Technology

9 主要电气性能

测试条件：T_A=25℃（除非特别说明）

参数		条件	最小	典型	最大	单位
INPUT CURRENTS						
I_{VBUS}	VBUS Current	$V_{BUS}>V_{(INMIN)}$, $V_{BUS}>V_{BAT}$, PWM Enabled, converter not switching (Battery OVP Condition)		1		mA
		V_{BUS}=5V, converter switching , VBAT floating		1.2		mA
		VBUS=5V, CD=1 or HZ_MODE=1		35		uA
I_{lgk}	Leakage current from battery to VBUS pin	V_{BAT}=4.2V, V_{BUS}=0V, leakage between VBAT and VBUS			10	uA
VOLTAGE REGULATION						
$V_{(OREG)}$	Output regulation voltage programmable range	programmable	3.9		4.44	V
	Voltage regulation accuracy	TA=25℃	-0.5%		0.5%	
			-1%		1%	
CURRENT REGULATION						
$I_{O(CHARGE)}$	Output charge current programmable range	$V_{TRICKLE}<V_{BAT}<V_{OREG}$, R_{SNS}=68mΩ	550		2050	mA
	Charge Current Accuracy Across R_{SNS}		-3%		3%	
CHARGE TERMINATION DETECTION						
$I_{(TERM)}$	Termination charge current programmable range	$V_{BAT}>V_{OREG}-V_{RCH}$, R_{SNS}=68mΩ, Programmable	50		400	mA
	Termination Current Accuracy	R_{SNS}=68mΩ, $I_{(TERM)}$>200mA	-10%		10%	
INPUT CURRENT LIMITING						
$I_{(IN_LIMIT)}$	Input current limiting threshold	I_{INLIM}=100mA	70	85	100	mA
		I_{INLIM}=500mA	425	440	500	
		I_{INLIM}=900mA	790	830	900	
BATTERY CHARGER						
$V_{(SHORT)}$	Battery short voltage	V_{BAT} falling		2.3		V

2018 Copyright © Nsiway Technology

$V_{(SHORT_HYST)}$	Battery short voltage hysteresis	V_{BAT} rising		100		mV
$I_{(SHORT)}$	Battery short current	V_{BAT}<2.4V		50		mA
$V_{(TRICKLE)}$	Battery trickle charge voltage	V_{BAT} falling		2.65		V
$V_{(TRICKLE_HYST)}$	Battery trickle charge voltage hysteresis	V_{BAT} rising		150		mV
$I_{(TRICKLE)}$	Battery trickle current	V_{BAT}<2.8V, R_{SNS}=68mΩ		250		mA
$V_{(RECHG)}$	Recharge threshold voltage below $V_{(OREG)}$	V_{BAT} falling,REG08[3]=0		120		mV
		V_{BAT} falling,REG08[3]=1		240		mV
$T_{(RECHG)}$	Recharge deglitch time	VBAT decreasing below threshold		150		ms
VBUS BASED DYNAMIC POWER MANAGEMENT						
V_{VBUS_DPM}	VBUS Voltage DPM threshold programmable	programmable	4.2		4.76	V
	VBUS DPM threshold accuracy		-3%		3%	
PWM						
	Voltage from VBST PIN to SW PIN	During charge or Boost operation			6.2	V
	Internal top reverse blocking MOSFET on-resistance	$I_{IN(LIMIT)}$=500mA, Measured from VBUS to PMID，WCSP Package		35		mΩ
	Internal top N-channel Switching MOSFET on-resistance	Measured from PMID to SW, V_{VBST}-V_{SW}=5V，WCSP PACKAGE		50		mΩ
	Internal bottom N-channel Switching MOSFET on-resistance	Measured from SW to PGND，WCSP PACKAGE		40		mΩ
$f_{(OSC)}$	Oscillator frequency			1.2		MHz
	Frequency accuracy		-5		5	%
$D_{(MAX)}$	Maximum duty cycle			95		%
$D_{(MIN)}$	Minimum duty cycle			0		%
	Synchronous mode to non-synchronous mode transition current threshold	Low-side MOSFET cycle-by-cycle current sensing		100		mA
CHARGE MODE PROTECTION						

2018 Copyright © Nsiway Technology

V_{VBUS_OVP}	VBUS Over-Voltage Shutdown	VBUS Rising	5.8	6	6.2	V
	Hysteresis	VBUS Falling		0.35		V
V_{BAT_OVP}	Battery over-voltage threshold	V_{BAT} rising, as percentage of $V_{(OREG)}$		113		%
	Hysteresis	V_{BAT} falling, as percentage of $V_{(OREG)}$		6		%
V_{VBUS_UVLO}	VBUS under voltage lockout	VBUS Rising		3.55		V
	Hysteresis	VBUS Falling		0.15		V
T_{VBUS_UVLO}	VBUS UVLO deglitch time	VBUS Rising		2		ms
V_{VBUS_MIN}	Minimum VBUS During Charge	VBUS Falling		3.75		V
	Hysteresis	VBUS Rising		0.12		V
T_{VBUS_MIN}	Minimum VBUS During Charge	VBUS Falling		2		ms
V_{SLP}	Sleep-mode entry threshold, V_{BUS}-V_{BAT}	VBUS Falling		50		mV
V_{SLP_EXIT}	Sleep-mode exit hysteresis	VBUS Rising		200		mV
T_{SLP}	Entry Sleep-mode deglitch time	VBUS Falling		1.2		ms
I_{LIMIT}	Cycle-by-cycle current limit for charge	Charge mode operation		4.8		A
Boost mode operation						
V_{BOOST}	Boost output voltage at VBUS	3V<V_{BAT}<4.5V	4.9		5.3	V
	Boost output voltage accuracy		-3		3	%
I_{BAT_BOOST}	Boost mode quiescent current	PFM mode ,V_{BAT}=3.8V, I_{OUT}=0A		1.5		mA
$I_{(OTG)_MAX}$	Maxim Boost mode output current				0.5	A
$V_{(OTG_OVP)}$	Boost mode over-voltage threshold	Rising threshold		5.6		V
	Hysteresis	VBUS falling from above $V_{(OTG_OVP)}$		0.15		V
V_{BAT_MIN}	Minimum battery voltage	V_{BAT} Falling		2.6		V

2018 Copyright © Nsiway Technology

	for boost					
	Hysteresis	V_{BAT} rising from below V_{BAT_MIN}		0.15		V
V_{BAT_MAX}	Maximum battery voltage for boost	V_{BAT} rising edge during boost		4.6		V
	Hysteresis	V_{BAT} falling from above V_{BAT_MAX}		0.2		V
I_{BLIMIT}	Cycle by cycle current limit for boost			2.4		A
Logic Levels: CD, OTG						
V_{IH}	High-Level Input Voltage		1.2			V
V_{IL}	Low-Level Input Voltage				0.4	V
I_{IN}	Input Bias Current				1.0	uA
STAT OUTPUTS						
VOL(STAT)	Low-level output saturation voltage, STAT pin	I_O=10mA, sink current			0.55	V
	High-level leakage current for STAT	Voltage on STAT pin is 5V			1	uA
I^2C BUS LOGIC LEVELA AND TIMMING CHARACTERISTICS						
$V_{IH_I^2C}$	High-Level Input Voltage	$V_{(pull-up)}$=1.8V, SDA and SCL	1.2			V
$V_{IL_I^2C}$	Low-Level Input Voltage	$V_{(pull-up)}$=1.8V, SDA and SCL			0.4	V
$I_{IN_I^2C}$	Input Bias Current	$V_{(pull-up)}$=1.8V, SDA and SCL			1.0	uA
$f_{(SCL)}$	SCL clock frequency				400	KHz
THERMAL PROTECTION						
$T_{SHUTDOWN}$	Thermal trip			155		℃
	Thermal hysteresis			10		℃
T_{CF}	Thermal regulation threshold	Charge current begins to reduce		120		℃

2018 Copyright © Nsiway Technology

10 典型特性曲线

测试条件：典型应用电路，T_A=25℃，$f_{(OSC)}$=1.2MHz，RSNS=68mΩ，WCSP Package（除非特别说明）

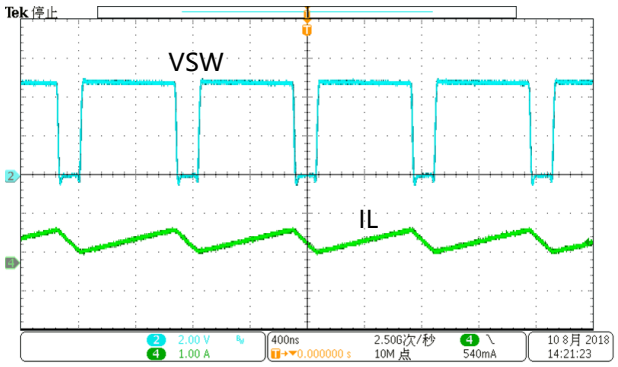


图 3 V_{BUS}=5V,V_{BAT}=3.8V,$I_{O(CHAARGE)}$=1.75A, PWM 充电波形

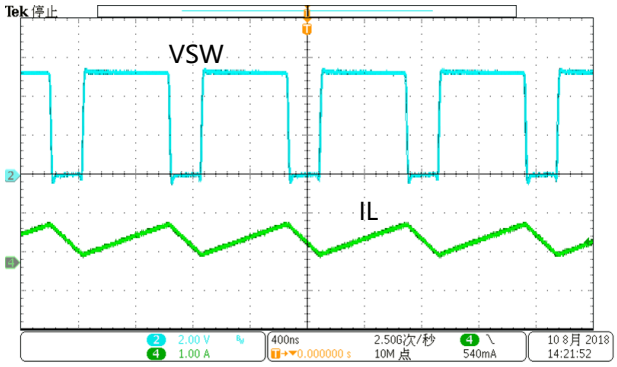


图 4 V_{BUS}=5.5V，V_{BAT}=3.8V，$I_{O(CHAARGE)}$=1.75A, PWM 充电波形

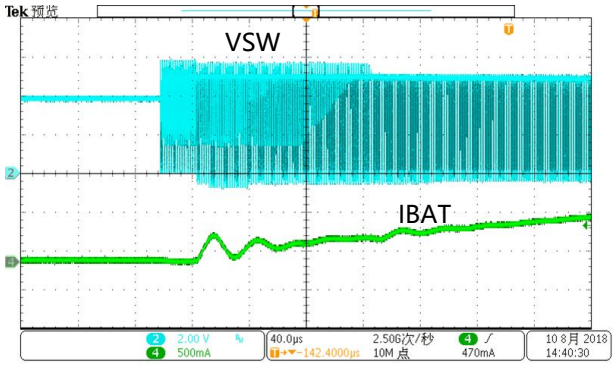


图 5 V_{BUS}=5V,V_{BAT}=3.8V,$I_{O(CHAARGE)}$=1.75A, No input current limit, Charge Current Ramp Up

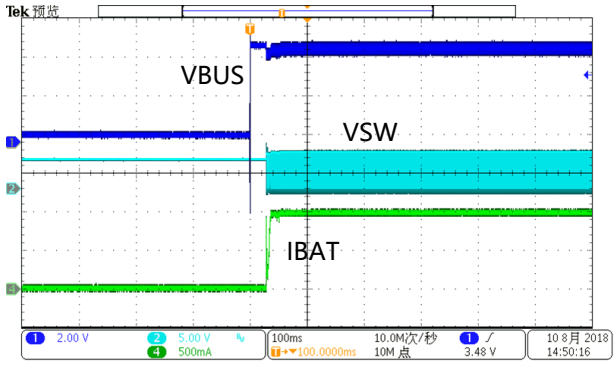


图 6 V_{BUS}=0-5V,$I_{(IN_LIMIT)}$=0.9A,V_{BAT}=3.8V, Adapter Insertion

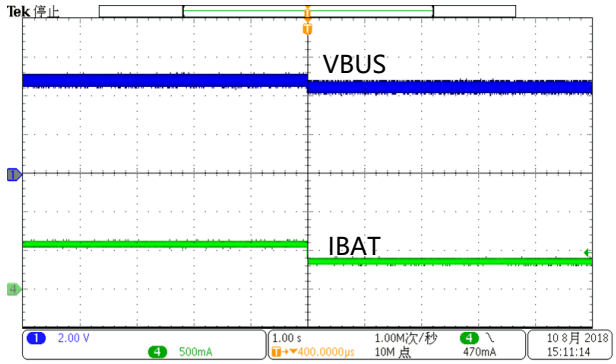


图 7 V_{BUS}=5V 限流 500mA,V_{BAT}=3.8V, $I_{O(CHAARGE)}$=设置为 2.05A，V_{IN_DPM}=4.52V，VIN_DPM 响应

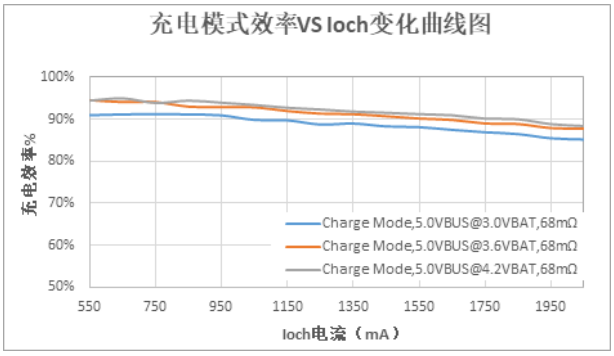


图 8 Charger Efficiency vs. I_{BAT} (WCSP Package)

2018 Copyright © Nsiway Technology

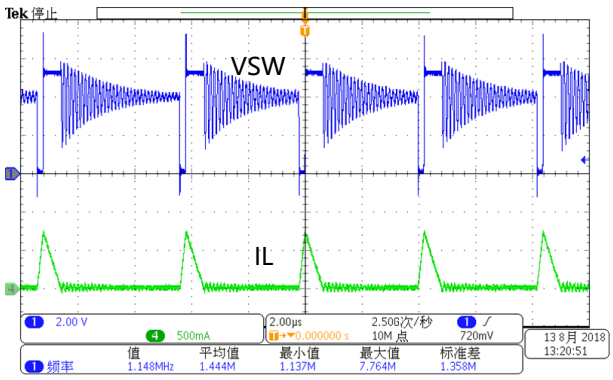


图 9 OTG 模式，VBAT=4V，ILOAD=50mA，PFM 模式

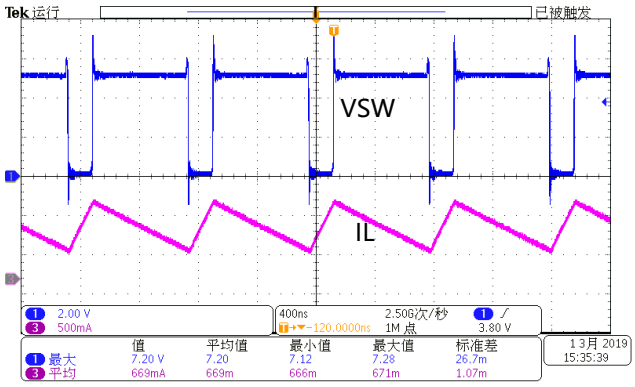


图 10 OTG 模式，VBAT=4V，ILOAD=0.5A，PWM 模式

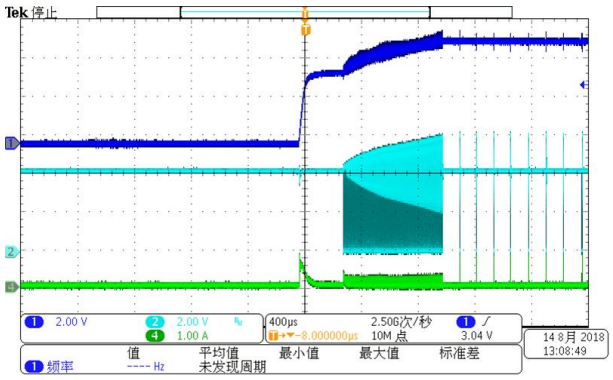


图 11 OTG 模式，Startup，3.6V VBAT，44ohm load，additional 10uF X5R across VBUS

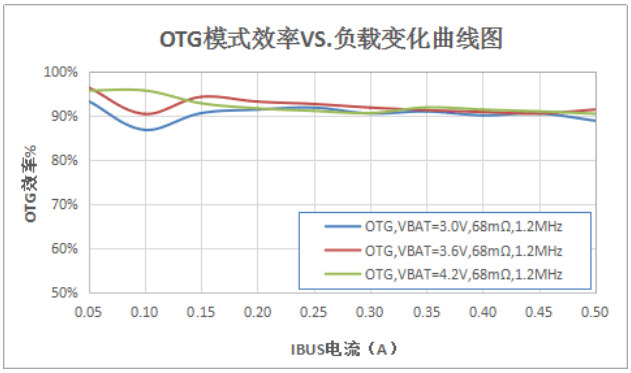


图 12 OTG 模式，OTG Efficiency Vs. I_{OUT}

2018 Copyright © Nsiway Technology

11 功能结构框图

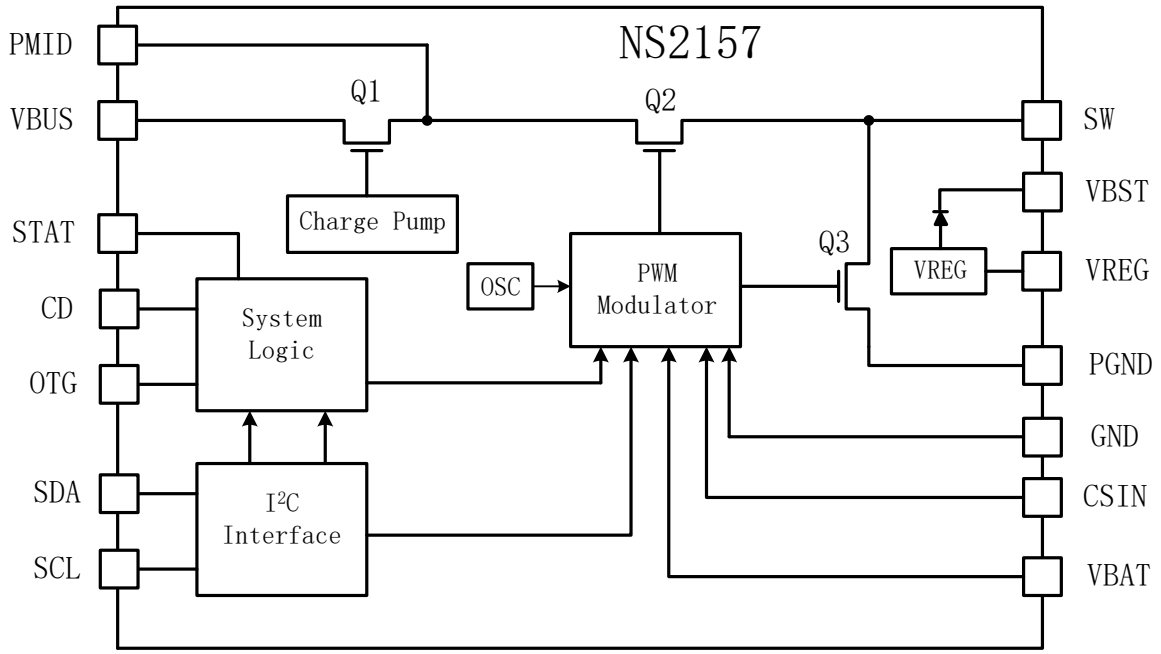


图 13　NS2157 功能结构框图

2018 Copyright © Nsiway Technology

12 芯片描述

NS2157 是一款适用于锂离子电池和锂聚合物电池的高集成度 2A 开关模式电池充电管理芯片。该芯片支持高输入电压，其低阻抗电源路径对开关模式运行效率进行了优化，缩短了电池充电时间。结合升压调节器通过电池给 USB 外设供电，具有充电和系统设置的 I^2C 串行接口使得此芯片成为一款真正的灵活解决方案。

NS2157 提供三种工作模式：充电模式（Charge mode），升压模式（Boost mode），高阻态模式（HZ_MODE）。在充电模式下，芯片提供精密的单节锂离子或者锂聚合物充电系统。在升压模式下，芯片升高电池电压至 VBUS，为附加的 OTG 设备供电。在高阻态模式下，芯片禁止充电和升压，且处于由 VBUS 或者 VBAT 提供的极低电流模式下，当便携式设备处于待机状态时，有效的降低了功率损耗。

NS2157 充电流程包括：激活、涓流、恒流和恒压四个阶段。通过主机可以设置恒压电压值、输入电流限制值、恒流充电电流值、终止充电电流值和输入 VIN_DPM 钳位电压值等。带有复位控制的安全定时器为 I^2C 接口做安全性补充。在正常工作期间，当电池电压下降至内部阈值以下，芯片自动重新启动充电。若输入电源移除，则芯片自动进入睡眠模式（SLEEP_MODE）或高阻模式（HZ_MODE）。通过 I^2C 接口，芯片可以将充电状态报告给主机。在充电期间，芯片监控其内部节点温度 TJ，一旦 TJ 温度上升至 120℃（寄存器可配），减小充电电流。为了支持 OTG 设备的使用，NS2157 能够为 VBUS 提供 5V 的电压输出，符合 USB On-the-Go(OTG)运行规范。

NS2157 采用 1.975mm*1.575mm 20 引脚晶圆级芯片 (WCSP) 封装和 4mm*4mm*0.75mm QFN20 封装。

输入电压保护

输入过压保护

NS2157 内置输入过压保护电路，当输入电压（VBUS-GND）出现高压时保护芯片免受损坏。当 VBUS 电压超过 6V 时，芯片关闭 PWM 转换器，设置错误状态 bits。当 VBUS 下降至输入过压退出电压阈值时，错误状态清除，恢复充电流程。

睡眠模式

如果 VBUS 电压低于睡眠模式进入阈值（即 VIN_MIN≤VBUS≤VBAT+VSLP），则芯片则进入低功率睡眠模式。此功能可以防止 VBUS 电压过低时，电池电流反流入 VBUS。在睡眠模式下，反向阻断开关管 Q1 和 PWM 转换器关闭。当 VBUS 电压升高至 SLEEP_MODE 退出门限 VBAT+VSLP_EXIT，且高于 VIN_MIN，芯片恢复充电流程。

基于 DPM 的输入电压

充电期间，如果输入电源功率无法提供已编程或者默认的充电电流时，VBUS 电压将会下降，当 VBUS 下降至 VIN_DPM 值（默认 4.52V，寄存器可设）时，芯片自动减小充电电流防止输入电压进一步下降。当芯片进入 DPM 模式，充电电流会低于设定值，使得芯片兼容且最大限度发挥具有不同功率能力的适配器。

2018 Copyright © Nsiway Technology

电池保护

输出过压保护

NS2157 内置电池过压保护电路，当电池电压太高或电池突然断开产生尖峰电压时，可以保护设备和其他元器件避免损伤。当检测到电池过压条件时，芯片关闭 PWM 转换器，设置错误状态 bits。当 VBAT 下降至电池过压退出阈值时，清除错误并恢复充电流程。

电池短路保护

在正常的充电流程中，如果电池电压低于短路阈值电压 VSHORT，芯片的充电电流为 ISHORT（典型值 50mA），直至 VBAT 上升到激活模式退出门限以上。

Watchdog 定时器

在正常充电流程中，NS2157 受 32S watchdog 定时器控制，主机能通过 I^2C 接口复位 32S watchdog 定时器。在 32S 定时器复位之后，“TMR_RST” bit 自动设置为“0”。如果 32S 定时器计时满，充电参数将会设置为默认值，芯片将以默认充电参数充电，且设置错误状态 bits。

上电启动时输入电流限制

芯片内置输入电流检测电路和控制环路，输入限流默认设置为 500mA，可通过寄存器 01H 中可编程控制 bits 设置输入电流限制值。

充电流程

当正常适配器插入且电池正常时，NS2157 进入充电模式。在充电模式下，NS2157 通过五个控制环路分别调节：输入电压，输入电流，充电电流，恒压充电电压及芯片结温。在充电程序期间，五个环路使能但其中的某个环路起主要作用。

图 14 显示传统的 CC/CV 充电曲线，此充电曲线中输入限流环路不起作用。

图 15 显示在恒流模式下，输入电流限制环路显性时的典型充电曲线。对于 NS2157，VIN_DPM 环路阈值、输入电流限制、恒流电流、终止电流、充电恒压电压和温度环路启动结温都能通过 I^2C 接口的寄存器设置。

2018 Copyright © Nsiway Technology

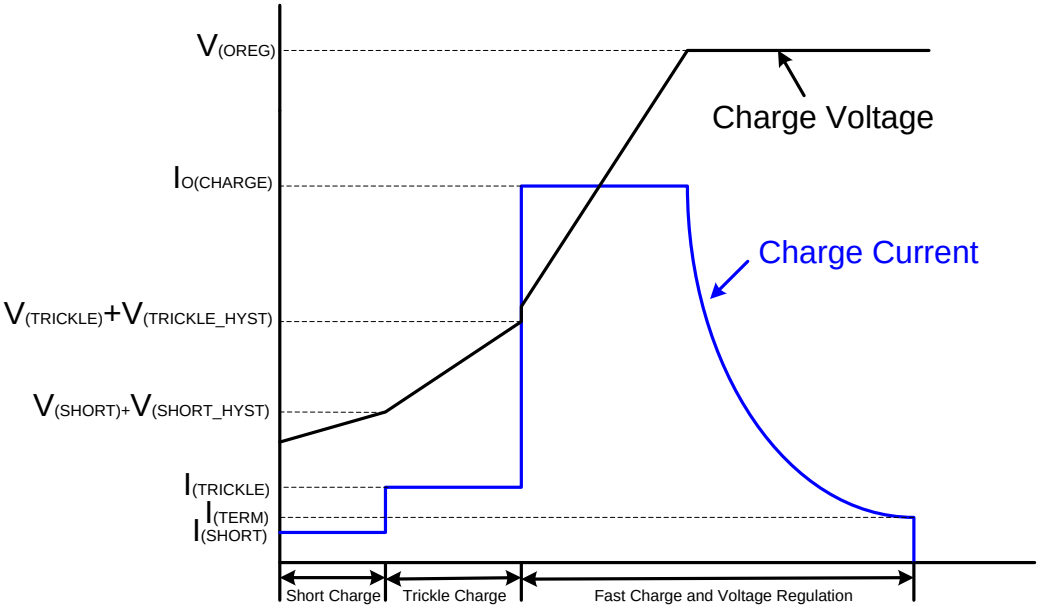


图 14　NS2157 Without Input Current Limit 充电流程图

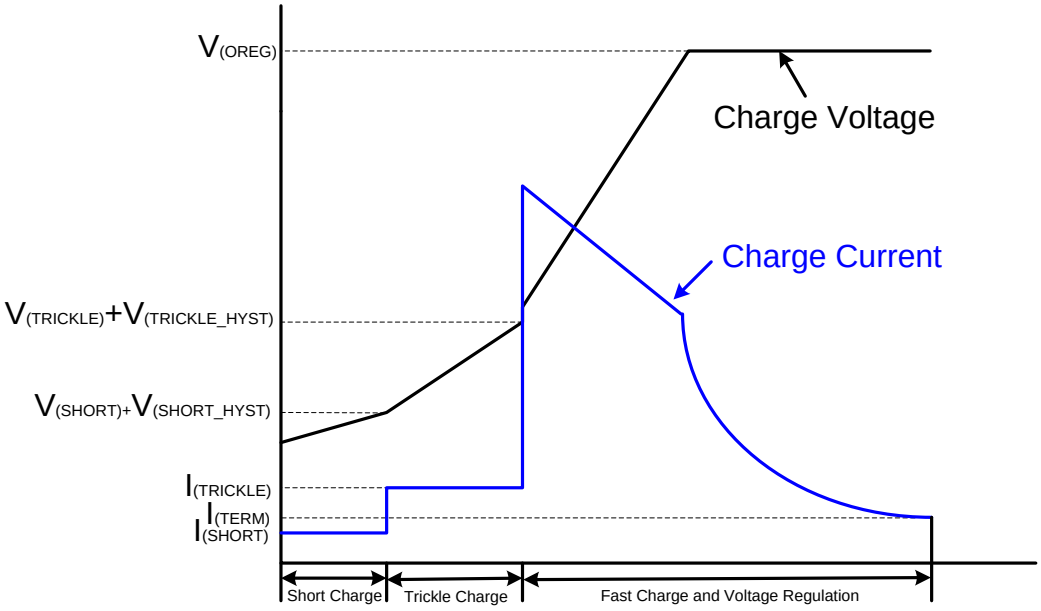


图 15　NS2157 Input Current Limit 充电流程图

充电模式中 PWM 控制器

NS2157 内置 1.2MHz 同步电流模式 PWM 控制器来调节输出电压和电池充电电流，驱动器工作在 0%～95%占空比之间。

NS2157 在高压侧有两个连续共 Drain 端的 N 沟道 MOSFET 管和一个低压侧的 N 沟道 MOSFET 管。如果 VBUS＜VBAT，输入 N-FET（Q1）可以阻止电池反向放电，用一个电荷泵电路驱动 Q1 的栅极。高压

2018 Copyright © Nsiway Technology

侧第二个 N-FET（Q2）是一个开关型控制开关， Q2 的栅极电压由一个外接自举电容构成的自举电路驱动。

逐周期电流限制是通过 Q2 和 Q3 管检测的。Q2 的峰值电流阈值设定为 4.8A。低压侧 FET（Q3）的低电流限制值决定 PWM 控制工作在同步模式还是非同步模式，Q3 管电流阈值设定为 100mA，且在电流反向之前，关闭低压侧 N-FET（Q3），此操作可以阻止电池反向放电。当低压侧 FET（Q3）的电流≥100mA，会自动切换至同步模式以最小化功率损耗。

电池充电程序

在预充（涓流模式）之前，当电池电压 VBAT 低于 $V_{(SHORT)}$阈值时，NS2157 进入线性充电管理模式，芯片以短路电流 $I_{(SHORT)}$充电。当电池电压高于 $V_{(SHORT)}$，但低于 $V_{(TRICKLE)}$时，IC 以 $I_{(TRICKLE)}$电流充电，且此电流可以通过 I^2C 接口选择。当电池电压高于 $V_{(TRICKLE)}$，但低于 $V_{(OREG)}$，充电电流上升至快速充电电流 $I_{(OCHARGE)}$，或者与输入限制电流 $I_{(IN_LIMT)}$一致的充电电流。在瞬态响应期间，芯片会控制快速充电电流的转换斜率，以最小化调节电流和电压的过冲量。通过主机可以设定输入限制电流 $I_{(IN_LIMIT)}$和快速充电电流 $I_{(OCHARGE)}$。一旦电池电压达到调节器电压 $V_{(OREG)}$，充电电流开始减小（如图 14）。电压调节器反馈通过监控电池组（VBAT～PGND）电压实现。在主机模式下，调节器电压 $V_{(OREG)}$（3.9V～4.44V）可通过 I^2C 接口设置。在空载模式下，调节器电压固定为 4.2V。

在主机控制的正常充电程序中，如果终止电流使能，一旦电池电压高于复充阈值（$V_{(OREG)}$-$V_{(RECHG)}$之差）长达 32ms deglitch-time 之后，检测到终止充电电流值 $I_{(TERM)}$，NS2157 关闭 PWM 充电，电池充电完成。主机可以设置控制寄存器中充电终止 bit 为 0（TE bit =0）来禁止终止充电电流功能。细节可以参考 I^2C 的寄存器列表。

当下列条件其中一个被检测到，那么开始一个新的充电周期：

- 电池电压 VBAT＜$V_{(OREG)}$-$V_{(RECHG)}$；
- VBUS 上电复位（POR），如果电池电压 VBAT＜V(OREG)；
- $\overline{CE}$ bit 切换或者主机控制 RESET bit 复位。

温度环路和过热保护功能

为了防止在充电流程中芯片过热，NS2157 监控芯片结温（TJ），一旦 TJ 温度达到热管理阈值 TCF（典型值 120℃，寄存器可调），充电电流开始下降。当 TJ≥TCF+15℃，充电电流降至 0A。在任何情况下，如果 TJ 高于 TSHUTDOWN 阈值，则 NS2157 关闭 PWM 控制器。当 TJ 下降至 TSHUTDOWN 退出阈值以下时（TSHUTDOWN - 10℃），充电恢复。

充电状态输出 STAT PIN

STAT PIN 用来表明 NS2157 运行条件。当控制寄存器（00H）中 EN_STAT bit 设置为”1”时，在正常充电期间 STAT 会下拉至“0”。在其他条件下，STAT Pin 相当于一个高阻抗（开漏极）输出。在不同操作条件下 STAT PIN 的状态概括如表 1。STAT Pin 可以用来驱动一个 LED 灯。

CHARGE STAT	STAT
充电流程&EN_STAT=1	Low
其他正常条件	Open-drain

表 1. STAT 引脚功能

2018 Copyright © Nsiway Technology

充电模式中控制 bits

$\overline{CE}$ bit

控制寄存器中的$\overline{CE}$ bit 被用来使能或禁止充电流程。$\overline{CE}$ bit 为低电平（0）时，则充电使能，为高电平（1）时，则充电禁止。

RESET bit

控制寄存器中的 RESET bit 用来复位所有充电参数。RESET bit 为”1”时，将所有充电参数复位成默认值。一旦充电参数复位后，RESET bit 会自动清零。这样设计是为了在充电开始之前充电参数复位。不推荐在充电或者升压程序过程中设置 RESET bit。

OPA_MODE bit

OPA_MODE 是工作模式控制 bit。当 OPA_MODE=0 且 HZ_MODE=0，NS2157 工作在充电模式。当 OPA_MODE=1 且 HZ_MODE=0，芯片工作在 Boost mode。OPA_MODE bit 工作模式控制如表 2。

OPA_MODE	HZ_MODE	OPERATION MODE
0	0	Charge（no fault）
1	0	Boost（no fault）
X	1	High impedance

表 2. OPA_MODE 工作模式控制

充电模式中控制 PIN

CD Pin

CD Pin 用来禁止充电流程。当 CD Pin 为低电平（0）时，充电使能。CD Pin 为高电平（1）时，充电禁止。

BOOST 模式操作

当 OTG PIN 和 OPA_MODE Bit 如表 3 所示，NS2157 使能 Boost 模式。在正常的 Boost 模式，NS2157 转换 VBAT 电压至 VBUS（典型值 5.05V）。当 OTG_PIN_EN=”1”，且 OTG_PIN_PL bit 与 OTG 管脚的状态一致，则表示 OTG PIN ACTIVE。

OTG_PIN_EN	OTG Pin	HZ_MODE	OPA_MODE	BOOST
1	ACTIVE	X	X	Enabled
X	X	0	1	Enabled
X	/ACITVE	X	0	Disabled
0	X	1	X	Disabled
1	/ACITVE	1	1	Disabled
0	ACTIVE	0	0	Disabled

表 3.BOOST 使能

2018 Copyright © Nsiway Technology

BOOST PWM Control

同充电模式类似，芯片通过电流模式调节器 Boost VBAT 电压至 VBUS 端。电流模式调制保证 Boost 实现卓越的瞬态响应。

在 Boost mode 中，当 VBUS Pin 过载时，输入 MOSFET 管（Q1）阻止电池放电。逐周期电流限制检测是通过内置检测 MOSFET 管（Q3）完成。Q3 管逐周期电流限制阈值设置为 2.4A 峰值电流（理论值）。

BOOST 模式上电启动

NS2157 内置软启动控制电路防止 Boost 启动时的电感电流饱和，且限制浪涌尖峰电流。

BOOST 模式轻载时 PFM 模式

在 Boost mode 处于轻载条件时，NS2157 工作在 PFM 模式以减小功率损耗和提高转换效率。独有的预设电路用于 PWM 和 PFM 之间平滑的切换。

BOOST 模式安全定时器

NS2157 的 Boost 操作开始时，32S watchdog 定时器开始计时，一旦 32s 定时器计时满，NS2157 关闭 Boost 转换器，在状态寄存器中设置错误状态 bits。错误条件可以通过 POR 或者主机控制清除。

输出过压保护（VBUS）

NS2157 内置输出过压保护电路，当 VBUS 电压过高时，可以保护设备和其他元器件免受损坏。当输出过压被检测到后，芯片关闭 PWM 转换器，设置错误状态 bits。

输出过载保护

NS2157 内置过载保护电路，当 VBUS 过载时，可以保护设备和电池免受损坏。一旦检测到过载条件，反向阻断 MOS 管工作在线性模式，以限制输出电流。NS2157 关闭 PWM 转换器，设置错误状态 bits。

电池过压保护

在 Boost 期间，当电池电压高于电池过压阈值 VBAT_MAX 或低于最小电池电压阈值 VBAT_MIN 时，NS2157 关闭 PWM 转换器。

I^2C 时序

Parameter			MIN	TYP	MAX	UNIT
No.	Sym	Name				
1	f_{SCL}	SCL 时钟频率			400	KHz
2	t_{LOW}	SCL 低电平持续时间	0.6			μs
3	t_{HIGH}	SCL 高电平持续时间	1.3			μs
4	t_{RISE}	SCL 和 SDA 上升时间			0.3	μs
5	t_{FALL}	SCL 和 SDA 下降时间			0.3	μs
6	$t_{SU:STA}$	SCL 到 START 状态的建立时间	0.6			μs
7	$t_{HD:STA}$	START 状态到 SCL 的保持时间	0.6			μs
8	$t_{SU:STO}$	SCL 到 STOP 状态的建立时间	0.6			μs
9	t_{BUF}	STOP 状态到 START 状态的总线空闲时间	1.3			μs

2018 Copyright © Nsiway Technology

10	$t_{SU:DAT}$	SDA 到 SCL 的建立时间	0.1			μs
11	$t_{HD:DAT}$	SCL 到 SDA 的保持时间	10			ns

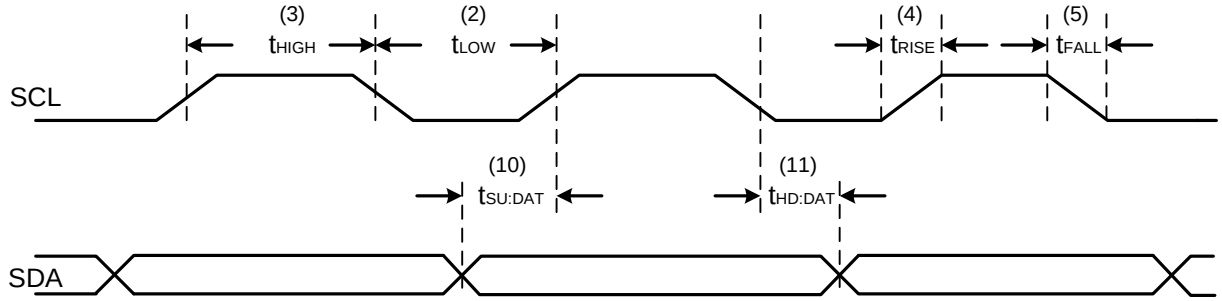


图 16　SCL 与 SDA 在数据传输过程中的时序关系

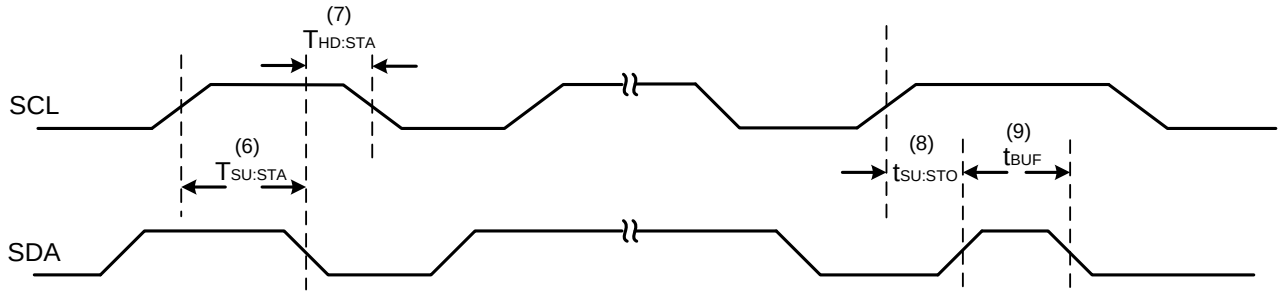


图 17　START 状态与 STOP 状态的时序关系

I²C 接口协议

I²C 使用两条串行线路：串行数据线（SDA）与串行时钟线（SCL）来实现特定系统内各个设备之间的数据通讯和传输。每个设备使用唯一的 7 位地址来识别，同一设备既能发送数据也能接收数据。此外，通讯过程中所涉设备有主（Host）、从（Slave）之分；通讯过程中只有主设备能启动和终止数据的传输，并产生相应的时钟信号，而在传输过程中能使用地址访问的设备均可作为从设备。

NS2157 的串行接口兼容标准 I²C-Bus 规格，最高接口速率 400KHz。SCL 线为输入端；SDA 线为双向漏极开路输出，激活时，只能下拉该总线。在读取数据过程中和发送 ACK 信号时，SDA 线只能拉低。

I²C 接口地址

NS2157 器件从地址如表 4

器件	7	6	5	4	3	2	1	0
NS2157	1	1	0	1	0	1	0	R/$\overline{W}$

表 4. NS2157 器件从地址

总线时序

在数据传输过程中，当时钟线 SCL 维持高电平时，数据线 SDA 必须保持不变；仅当时钟线 SCL 维持低电平时，数据线 SDA 才能发生改变。如图 18 所示，在 SCL 下降沿或下降沿后，数据快速改变，提供足够时间，确保在下个 SCL 上升沿到来前建立好数据。

2018 Copyright © Nsiway Technology

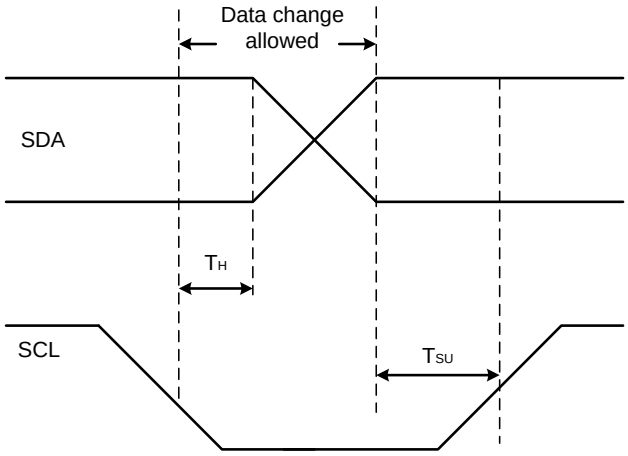


图 18 I²C 数据传输规则

所有的数据传输过程都需要通过主设备发出 START 状态来启动，发出 STOP 状态来结束。一次传输启始于 START 条件，该条件定义为 SCL 高电平时 SDA 从“1”到“0”的切换，如图 19 所示。

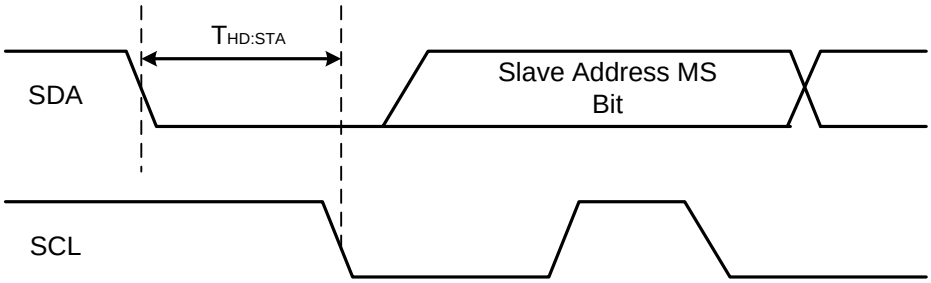


图 19 I²C 起始条件

一次传输结束于 STOP 条件，该条件定义为 SCL 高电平时 SDA 从 0 到 1 的切换。如图 20 所示。

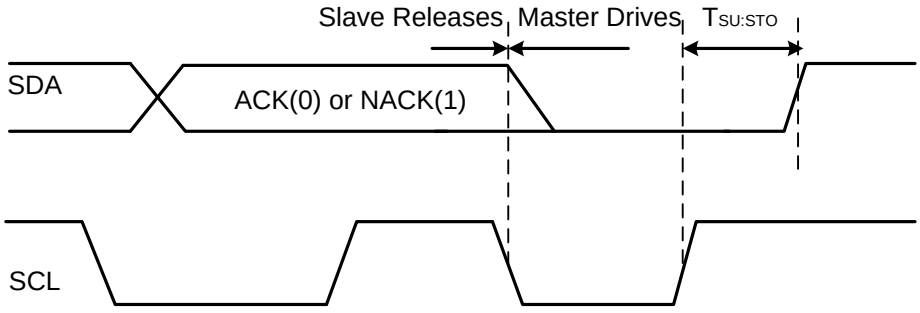


图 20 I²C 结束条件

如果主设备打算继续进行数据传输，也可以直接发出一个 Repeated START 状态，则总线仍处于数据传输过程。如图 21 所示。

2018 Copyright © Nsiway Technology

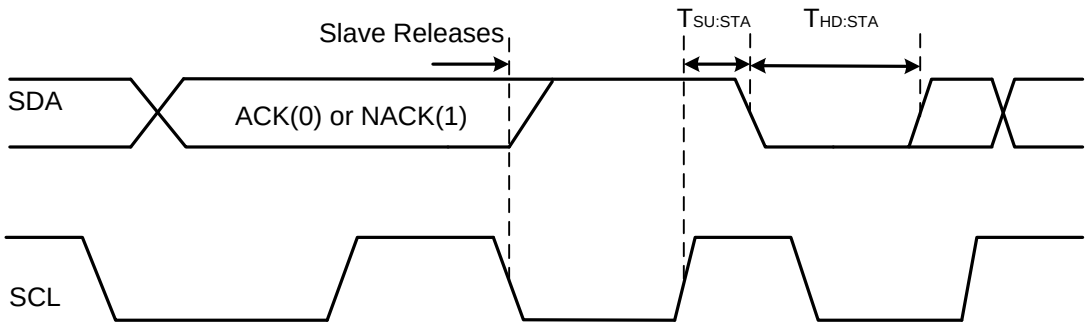


图 21 I²C 重复起始

数据的读和写

图 22 和图 23 分别显示了数据读取和写入的序列。所有地址和数据均为 MSB（最高有效位）优先。

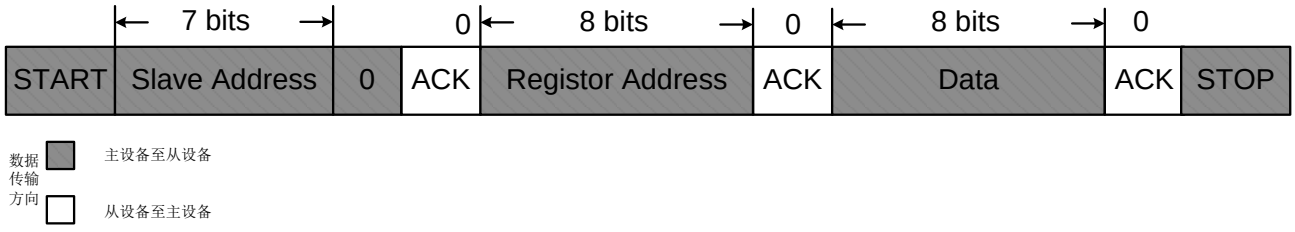


图 22 I²C 写操作

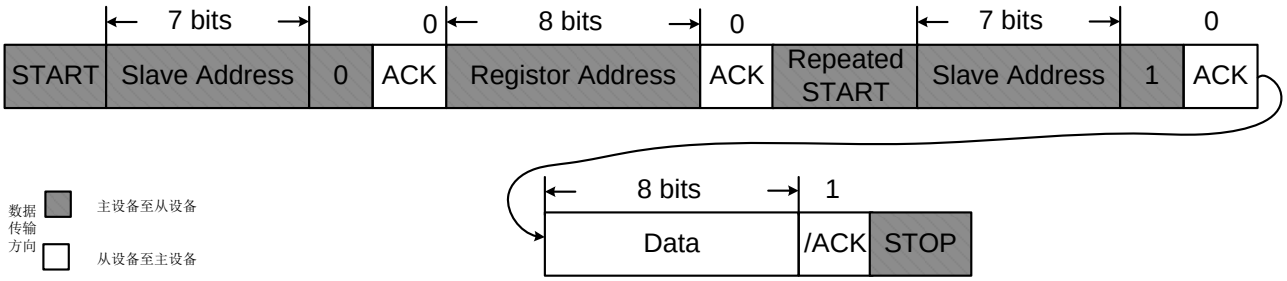


图 23 I²C 读操作

2018 Copyright © Nsiway Technology

寄存器列表

Status and Control Register, Memory location 00h, default: X1XX 0XXX

Bit	Symbol	Type	Description
7	TMR_RST/OTG_PIN_STATUS	R/W	Write: TMR_RST function, write "1" to reset the safety timer (auto clear)
			Read: OTG PIN status, 0-OTG PIN at low level. 1- OTG PIN at high level.
6	EN_STAT	R/W	0-Disable STAT PIN
			1-Enable STAT PIN(default)
5:4	STAT	R	00-Ready
			01-Charge in progress
			10-Charge done
			11-Fault
3	BOOST	R	0-IC is not in Boost Mode(default)
			1-IC is in Boost Mode
2:0	FAULT	R	Fault status bits
			000:Charge mode normal or boost mode normal
			001-Charge mode VBUS OVP, Boost mode VBUS OVP
			010-Charge sleep mode, Boost over load
			011-Charge VBUS UVLO, Boost VBAT MIN
			100- Charge VBAT OVP, Boost VBAT MAX
			101- Charge thermal shutdown, Boost thermal shutdown
			110- timer fault
			111-NA

Control Register, memory location: 01h, Default: 01XX 0000

Bit	Symbol	Type	Description
7:6	IINLIM	R/W	Charge input current limit
			00: 100mA
			01: 500mA(default)
			10: 900mA
			11: No limit
5:4	--	R/W	Reserved
3	TE	R/W	0-Disable charge current termination(default)
			1-Enable charge current termination
2	$\overline{CE}$	R/W	0-Charger enabled(default)
			1-Charger disabled
1	HZ_MODE	R/W	0-Not high impedance mode(default)
			1-High impedance mode
0	OPA_MODE	R/W	0-Charger mode(default)
			1-Boost mode

2018 Copyright © Nsiway Technology

Control and battery voltage register, memory location: 02h, Default: 1000 1110

Bit	Symbol	Type	Description
7:2	VOREG	R/W	Charge battery regulation voltage, default=100011 VOREG=4.2V
			000000~010111,VOREG=3.9V
			011000~011111, VOREG=4.1V
			100000~100111, VOREG=4.2V default 100011
			101000~101011, VOREG=4.35V
			101100~101101, VOREG=4.4V
			101110~111111, VOREG=4.44V
1	OTG_PIN_PL	R/W	0-OTG pin active LOW
			1-OTG pin active HIGH(default)
0	OTG_PIN_EN	R/W	0-Disables OTG PIN(default)
			1-Enables OTG PIN

IC information register, memory location: 03h, Default: 1011 0001

Bit	Symbol	Type	Description
7:5	VENDOR	R	101- NSIWAY
4:3	PN	R	Part number bits, 10-NS2157
2:0	REVISION	R	IC Revision, 001-Revision 1.0

Battery Termination and Fast Charge Current register, memory location: 04h, Default: 0000 0001

Bit	Symbol	Type	Description
7	Reset	R/W	1-Resets charge parameters
			0-no effect, Read always get 0
6:3	IOCHARGE	R/W	Charge battery current
			0000-550mA@RSNS=68mΩ 693mA@56mΩ(default)
			0001-650mA@RSNS=68mΩ 819mA@56mΩ
			0010-750mA@RSNS=68mΩ 944mA@56mΩ
			0011-850mA@RSNS=68mΩ 1070mA@56mΩ
			0100-950mA@RSNS=68mΩ 1196mA@56mΩ
			0101-1050mA@RSNS=68mΩ 1322mA@56mΩ
			0110-1150mA@RSNS=68mΩ 1448mA@56mΩ
			0111-1250mA@RSNS=68mΩ 1574mA@56mΩ
			1000-1350mA@RSNS=68mΩ 1700mA@56mΩ
			1001-1450mA@RSNS=68mΩ 1826mA@56mΩ
			1010-1550mA@RSNS=68mΩ 1952mA@56mΩ
			1011-1650mA@RSNS=68mΩ 2078mA@56mΩ
			1100-1750mA@RSNS=68mΩ 2204mA@56mΩ
			1101-1850mA@RSNS=68mΩ 2330mA@56mΩ
			1110-1950mA@RSNS=68mΩ 2456mA@56mΩ

2018 Copyright © Nsiway Technology

			1111-2050mA@RSNS=68mΩ 2581mA@56mΩ
2:0	ITERM	R/W	Charge termination current
			000-50mA @RSNS=68mΩ 63mA@56mΩ
			001-100mA @RSNS=68mΩ 126mA@56mΩ(default)
			010-150mA @RSNS=68mΩ 189mA@56mΩ
			011-200mA @RSNS=68mΩ 252mA@56mΩ
			100-250mA @RSNS=68mΩ 315mA@56mΩ
			101-300mA @RSNS=68mΩ 378mA@56mΩ
			110-350mA @RSNS=68mΩ 441mA@56mΩ
			111-400mA @RSNS=68mΩ 504mA@56mΩ

VBUS_DPM and Enable Pin Status Register, memory location: 05h, Default: XXXX X100

Bit	Symbol	Type	Description
7:6			Reserved
5	--	R/W	Reserved
4	DPM_STATUS	R	0-DPM mode is not active
			1-DPM mode is active
3	CD_STATUS	R	0-CD PIN at LOW level
			1- CD PIN at HIGH level
2:0	VBUS_DPM	R/W	000-VBUS DPM threshold voltage=4.2V
			001-VBUS DPM threshold voltage=4.28V
			010-VBUS DPM threshold voltage=4.36V
			011-VBUS DPM threshold voltage=4.44V
			100-VBUS DPM threshold voltage=4.52V(default)
			101-VBUS DPM threshold voltage=4.6V
			110-VBUS DPM threshold voltage=4.68V
			111-VBUS DPM threshold voltage=4.76V

Battery resistance compensation register, memory location: 07h, Default: XXXX 0000

Bit	Symbol	Type	Description
7:4			Reserved
3:0	BAT_COMP	R/W	Battery compensation resistance setting 0000:0mΩ One Step is 24.3mΩ@RSNS=68mΩ，20mΩ@RSNS=56mΩ, Defaultlt:0000

2018 Copyright © Nsiway Technology

Trickle current and Recharge voltage register, memory location: 08h, Default: XX01 0111

Bit	Symbol	Type	Description
7:6			Reserved
5:4	ITRICKLE_CHG	R/W	Trickle Charge current
			00-125mA@RSNS=68mΩ
			01-250mA@RSNS=68mΩ(default)
			10-375mA@RSNS=68mΩ
			11-500mA@RSNS=68mΩ
3	VRECHG	R/W	Battery Recharge threshold(below battery regulation voltage)
			0-120mV(default)
			1-240mV
2:0	Reserved		

2018 Copyright © Nsiway Technology

13 应用信息

典型应用电路

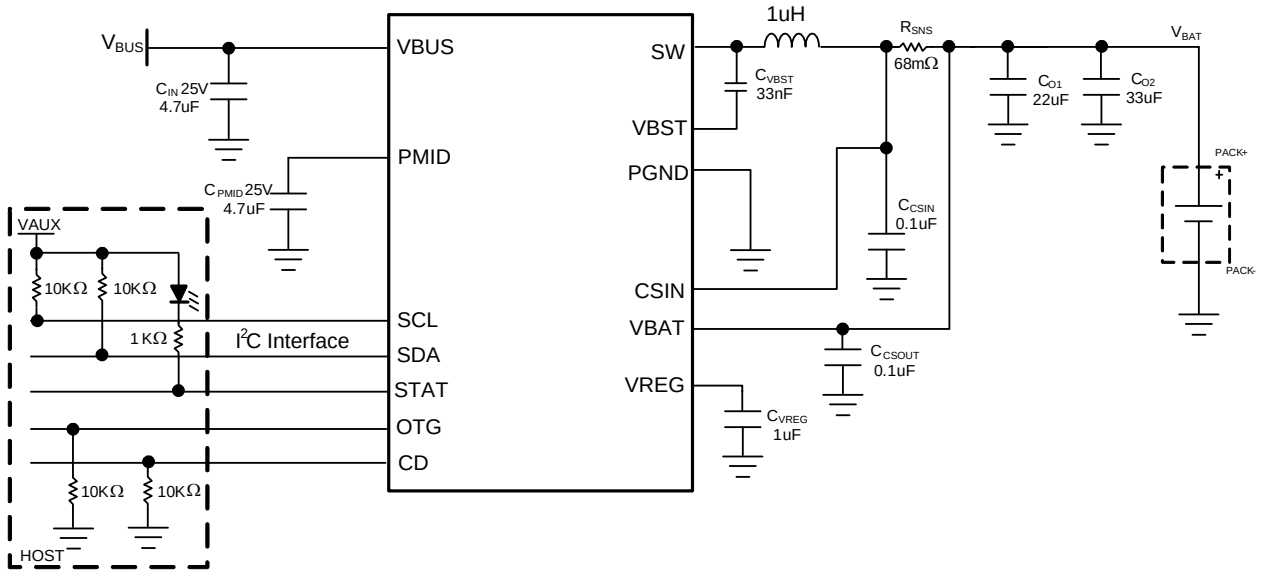


图 24 NS2157 典型应用电路

外围器件选择

NS2157 采用 1.2MHz 的开关频率，减小外部电感、电容尺寸，节省 PCB 空间。

电感选择

- V_{BUS}=5V
- V_{BAT}=4.4V
- $I_{O(CHARGE)}$=2A
- 电感电流纹波= $I_{O(CHARGE}$ * 50%

电感的选择主要取决于电感电流纹波的大小，在给定的电感电流纹波下确定电感值：

$$L = \frac{V_{BAT} * (V_{BUS} - V_{BAT})}{V_{BUS} * f_{OSC} * \Delta I_L}$$

对于电感电流最大的情况发生于 VBAT 接近于 VBUS 的一半时。则在 VBUS=5V，VBAT=3V，IO(CHARGE)=2A 时：

$$L = \frac{3 * (5-3)}{5 * 1.2 * 10^6 * 2 * 0.5} = 1\ uH$$

建议选用标称 1uH 的电感，然后计算纹波和峰值电流大小。

$$\Delta I_L = \frac{3 * (5-3)}{5 * 1.2 * 10^6 * 1} = 1A$$

则电感最大峰值电流：

$$I_{LPK} = I_{OUT} + \frac{\Delta I_L}{2} = 2.5A$$

2018 Copyright © Nsiway Technology

在支持 5V 普通适配器且最大充电电流为 2A 的情况下，建议选择饱和及温升电流大于 2.5A*110%的 1.0 uH 电感。

输出电容选择

VBAT 端需要到地的输出去偶电容 C_O，同时 VBAT 端电容与电感组成 LC 滤波器，可滤除输出电流中的高频部分，减小电池电流 IBAT 的波动。

利用$f_o = 40KHz$谐振频率确定输出电容 C_O：

$$C_O = \frac{1}{4\pi^2 * {f_o}^2 * L} = 15.8uF$$

选择两个 0603，X5R，6.3V，10uF 陶瓷电容，并联使用。

VBUS 端输入电容选择

NS2157 的 VBUS 端推荐使用一个 4.7uF 的陶瓷电容，这个电容除了去偶外，还可以减小输入电压的过冲。在热插拔适配器或者充电电流突然下降时，由于输入电源的寄生电感影响，输入 VBUS 电压会产生瞬时过冲。推荐使用耐压为 25V 的 X7R 或 X5R 的 4.7uF 的陶瓷电容，且尽可能靠近芯片。

同时，PMID 端也需要一个耐压为 25V 的 X7R 或 X5R 的 4.7uF 的陶瓷电容，尽可能靠近芯片。

RSNS 电阻的选择

RSNS 的选取主要取决于其阻值和额定功率。例如选择 68mΩ 电阻，将恒流电流设置为 2.05A，则电阻上的功率为 0.286W，则必须选择额定功率大于 0.286W 的电阻，

推荐选择功率 1/2W，精度 1%的贴片功率电阻。

Layout 布局建议

对于 PCB layout，下列意见非常重要，值得关注

1) 为了获得最佳性能，VBUS-PGND 之间连接的输入电容应该尽可能的靠近 PIN 引脚位置。
2) 输出电感尽量靠近芯片引脚和输出电容放置，以达到最小化电流环路区域（SW-LC-PGND）的目的。为了防止高频振荡问题，合理布局以最小化高频电流环路路径。如图 25。
3) RSNS 电阻的引脚应直接引到芯片对应引脚上，检测电阻需要毗邻电感和输出电容之间的节点。连接检测电阻到芯片的布线，需要彼此靠近以最小化环路区域。或者布线在两层，两根走线在彼此上下方（禁止走线通过大电流路径）。
4) 所有去耦电容邻近各自芯片引脚放置，并且靠近 PGND（元器件放置位置不能打断功率电流走线）。所有控制的小信号走线要远离大电流路径。
5) PCB 预留一个单独的大地层，直接通过过孔点连接所有元器件回路（功率电容使用 2 个过孔连接，芯片 PGND 使用 2 个过孔连接，小信号元器件使用 1 个过孔连接）。地线推荐使用单点连接方式（功率地和小信号地），以保证电路区块电流独立，减小噪声耦合和地弹噪声问题。使用一个单独的信号地层可以很好的解决此问题，一个小环路布局和一个信号地层就会减小地弹噪声问题。并且将元器件隔离以最小化耦合信号。
6) 大电流充电路径走线宽度（VBUS-PMID-SW PINs）必须适当的增大，以防止较大电流流过时产生压降。PGND Pins 应该连接至地线层，以通过内置低压侧 MOSFET 返回电流。
7) **尽可能将 PMID 端输入 4.7uF 电容靠近 PMID PIN 和 PGND PIN 之间放置，以最小化高频电流环路面积**。同样将 4.7uF 电容尽可能的靠近 VBUS PIN 和 PGND PIN 之间放置。如图 27 所示：

2018 Copyright © Nsiway Technology

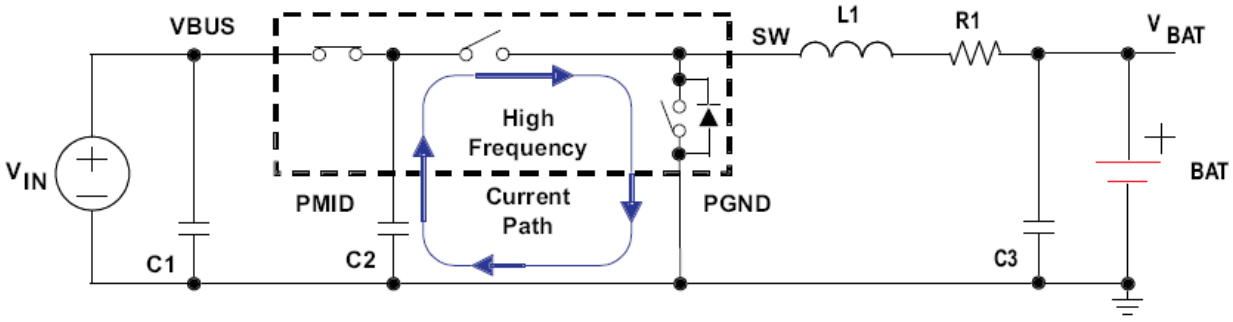


图 25 高频电流环路路径

Layout 举例

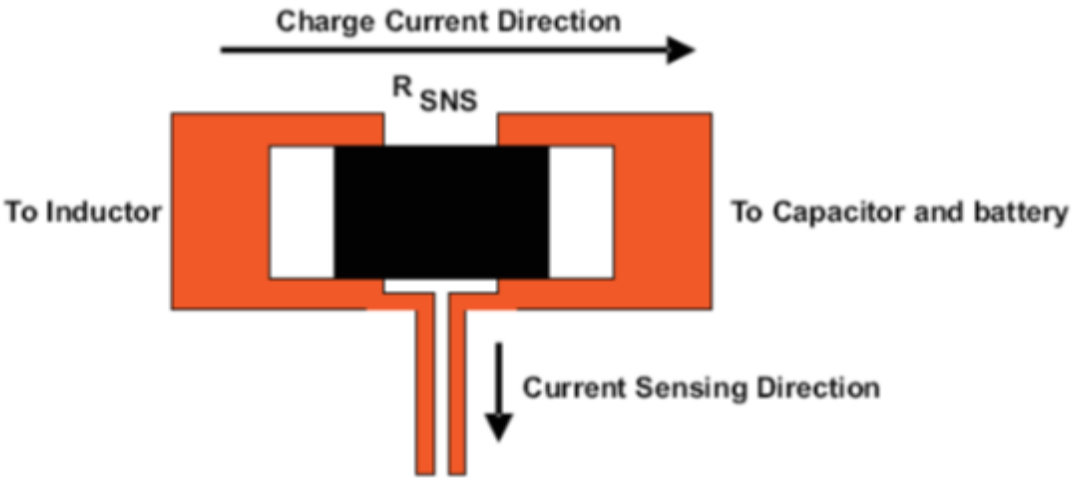


图 26 RSNS 电阻 PCB Layout 举例

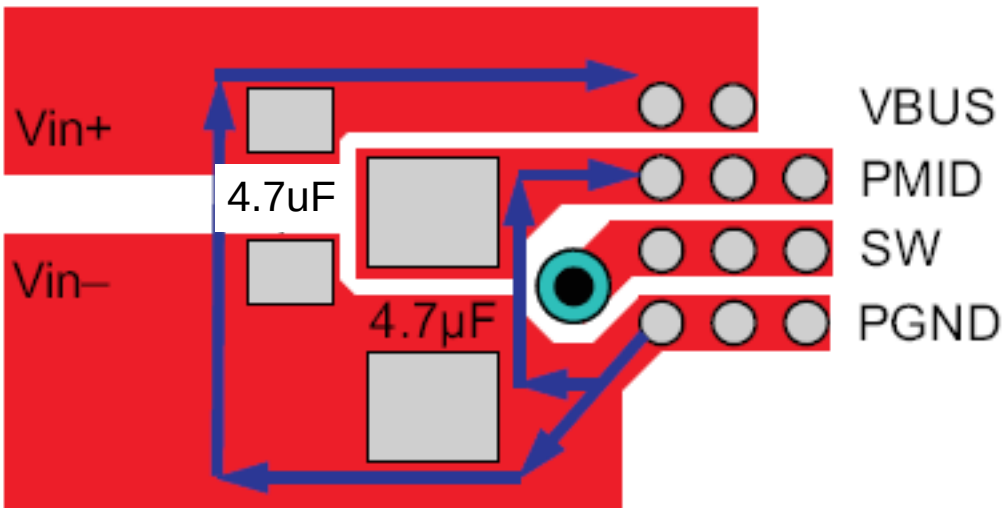


图 27 输入电容位置和 PCB layout 举例

2018 Copyright © Nsiway Technology

14 封装信息

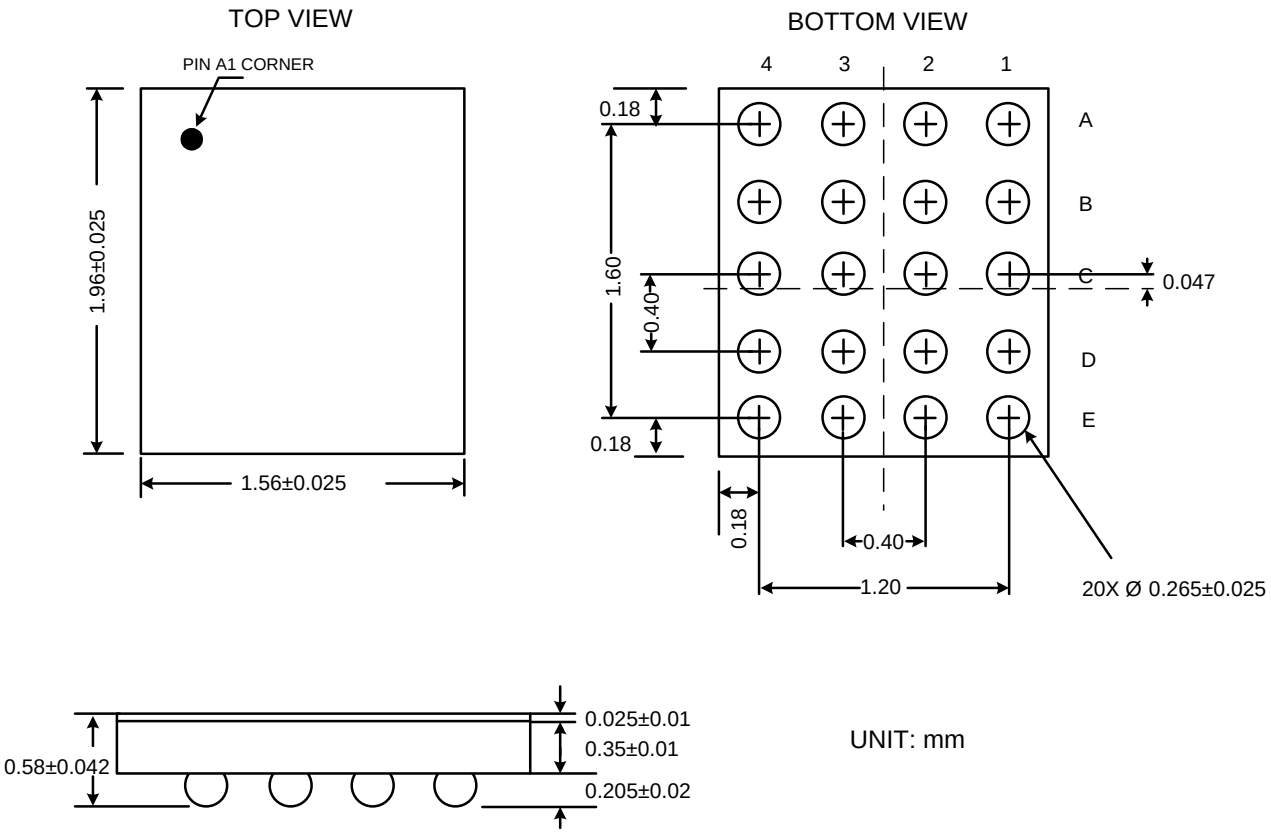


图 28 NS2157 WCSP 封装信息

2018 Copyright © Nsiway Technology

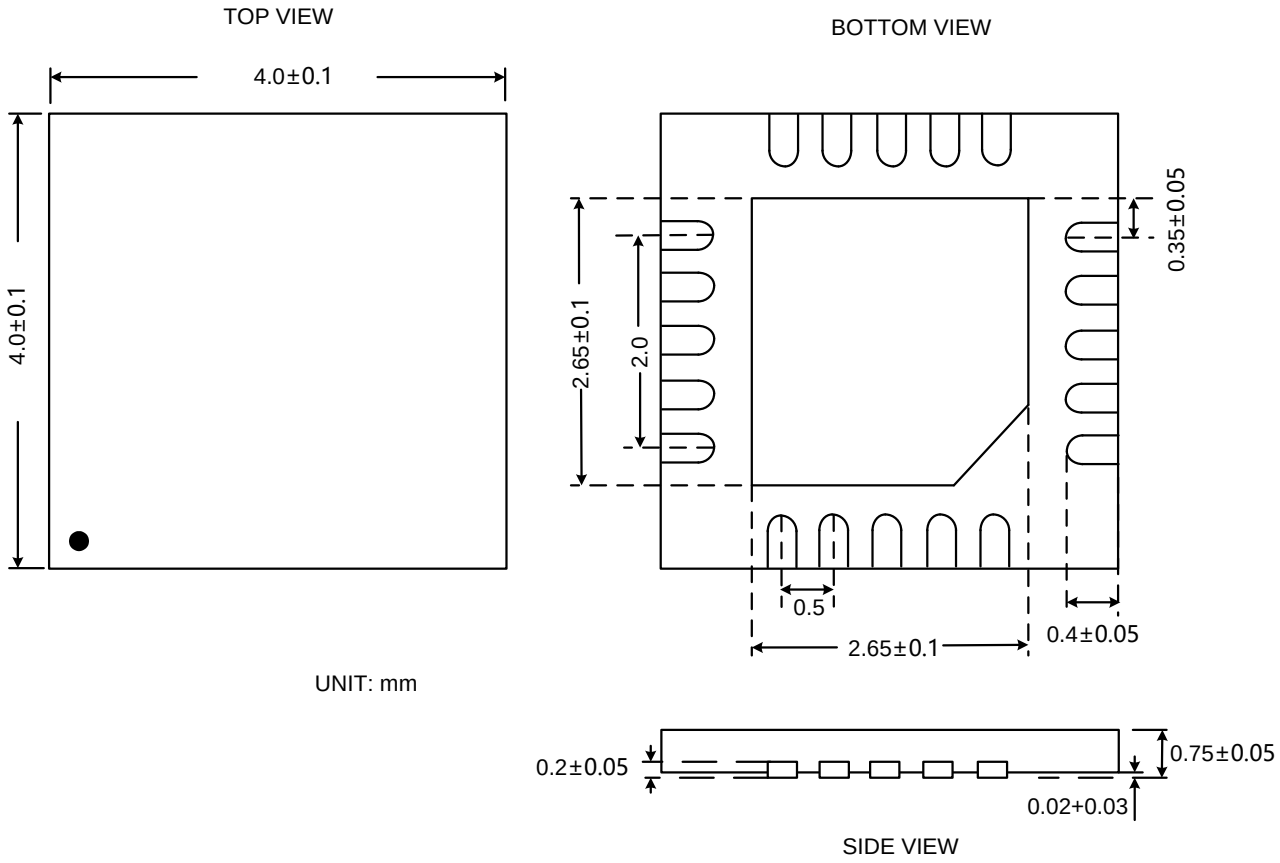


图 29 NS2157 QFN 封装信息

2018 Copyright © Nsiway Technology

15 重要声明

纳芯威有权对所提供的产品和服务进行更正、修改、增强、改进或其它更改，并有权中止提供任何产品和服务。客户在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的纳芯威销售条款与条件。

纳芯威保证其所销售的组件的性能符合产品销售时纳芯威半导体产品销售条件与条款的适用规范。仅在纳芯威保证的范围内，且纳芯威认为有必要时才会使用测试或其他质量控制技术。除非适用法律作出硬性规定，否则没有必要对每种组件的所有参数进行测试。

纳芯威对应用帮助或客户产品设计不承担任何义务。客户应对其使用纳芯威组件的产品和应用自行负责。为尽量减小与客户产品和应用相关风险，客户应提供充分的设计与操作安全措施。

纳芯威不对任何纳芯威专利权、版权、屏蔽作品权或其他与使用了纳芯威组件或服务的组合设备、机器或流程相关的纳芯威知识产权中授予的直接或隐含权限做出任何保证或解释。纳芯威所发布的与第三方产品或服务有关的信息，不能构成从纳芯威获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可，或是纳芯威的专利权或其他知识产权方面的许可。

对于纳芯威的产品手册或数据表中纳芯威信息的重要部分，仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。纳芯威对此类篡改过的文件不承担任何责任和义务。复制第三方的信息可能需要服从额外的限制条件。

在转售纳芯威组件或服务时，如果对该组件或服务参数的陈述与纳芯威标明的参数相比存在差异或虚假成分，则会失去相关纳芯威组件或服务的所有明示或暗示授权，且这是不正当的、欺诈性商业行为。纳芯威对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意，尽管任何应用相关信息或支持仍可能由纳芯威提供，但他们将独立负责满足与其产品及在其应用中使用纳芯威产品相关的所有法律、法规和安全相关要求。客户声明并同意，他们具备制定与实施安全措施所需的全部专业技术和知识，可预见故障的危险后果、检测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何纳芯威组件而对纳芯威及其代理造成的任何损失。

纳芯威组件未获得用于医疗、军事、飞行器、太空或生命支持设备的授权许可，除非各方授权官员已经达成专门管控此类使用的特别协议。

2018 Copyright © Nsiway Technology