NS6312　4-30V 输入 2.4A 输出同步降压稳压器

1 特性

- 宽输入电压范围：4V 至 30V
- 宽输出电压范围：1.8V 至 28V
- 效率可高达 92%以上
- 超高恒流精度：±5%
- 恒压精度：±2%
- 无需外部补偿
- 开关频率：130kHz
- 输入欠压/过压、输出短路和过热保护
- SOP-8 封装
- 输出电流：2.4A

2 应用范围

- 车载充电器/适配器
- 线性调节前置稳压器
- 分布式供电系统
- 电池充电器

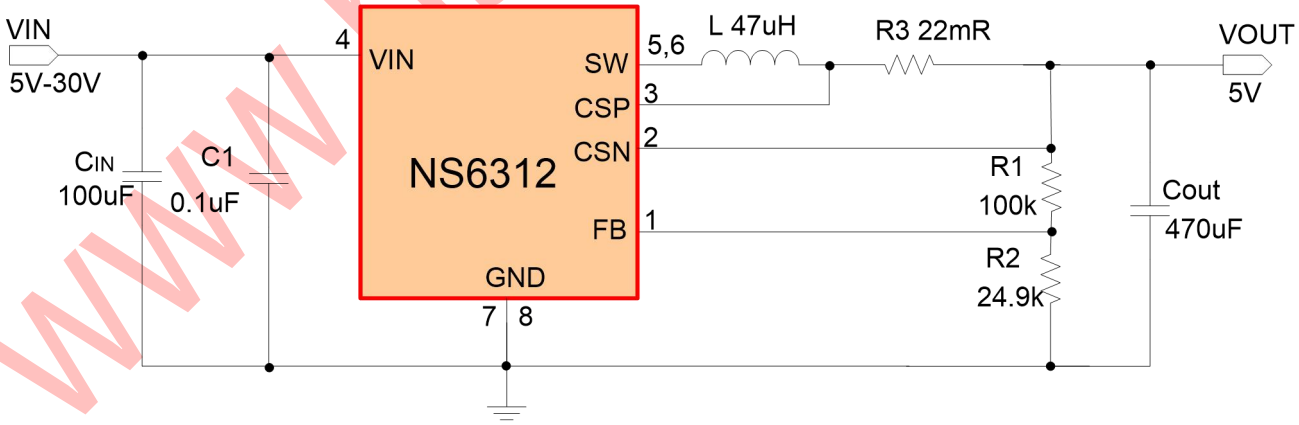
3 说明

NS6312 是支持高电压输入的同步降压电源管理芯片，在 4~30V 的宽输入电压范围内可实现 2.4A 的连续电流输出。通过调节 FB 端口的分压电阻，可以输出 1.8V 到 28V 的稳定电压。NS6312 具有优秀的恒压/恒流(CC/C)特性。NS6312 采用电流模式的环路控制原理，实现了快速的动态响应。NS6312 工作开关频率为 130kHz，具有良好的 EMI 特性。

NS6312 内置线电压补偿，可通过调节 FB 端口的分压电阻阻值来实现。NS6312 不仅可实现单芯片降压电源管理方案，还可以与 QC2.0/ QC3.0 识别芯片构成快速充电电源管理方案。另外，芯片包含多重保护功能：过温保护，输出短路保护和输入欠压/过压保护等。

NS6312 采用 SOP8 的标准封装。

4 典型应用电路

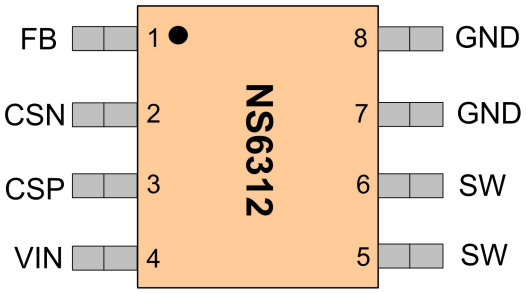


www.nsiway.com.cn

2018Copyright © Nsiway Technology

5 管脚配置

SOP-8 的管脚图如下图所示：



编号	管脚名称	管脚描述	管脚功能
1	FB	反馈输入	该管脚用于检测并设定输出电压；输出电压大小由 R1 和 R2 设定：V_{OUT}=1.0V×[1+(R1/R2)]
2	CSN	输出电压	输出电压脚
3	CSP	电流采样脚	该管脚用于检测并设定输出恒流值；输出恒流值大小由 R3 设定：Icc=Vcc_ref/R3
4	VIN	电源	供电管脚，该管脚应接至少 100uF 电解电容到地，以避免输入端在工作时出现较大的电压波动
5,6	SW	功率开关输出端	该管脚为开关节点，与电感连接，用于负载功率输出
7,8	GND	地	接地管脚

6 极限工作参数

- VIN 电压 ..... -0.3V ~ 33V
- FB 电压 ..... -0.3V ~ 33V
- SW 电压 ..... -0.3V ~ 33V
- CSN 电压 ..... -0.3V ~ 33V
- CSP 电压 ..... -0.3V ~ 33V
- 工作温度范围 ..... -40℃ ~ +85℃
- 存储温度范围 ..... -55℃ ~ +150℃
- 结温范围 ..... +150℃
- 焊接温度（10s 内） ..... +265℃

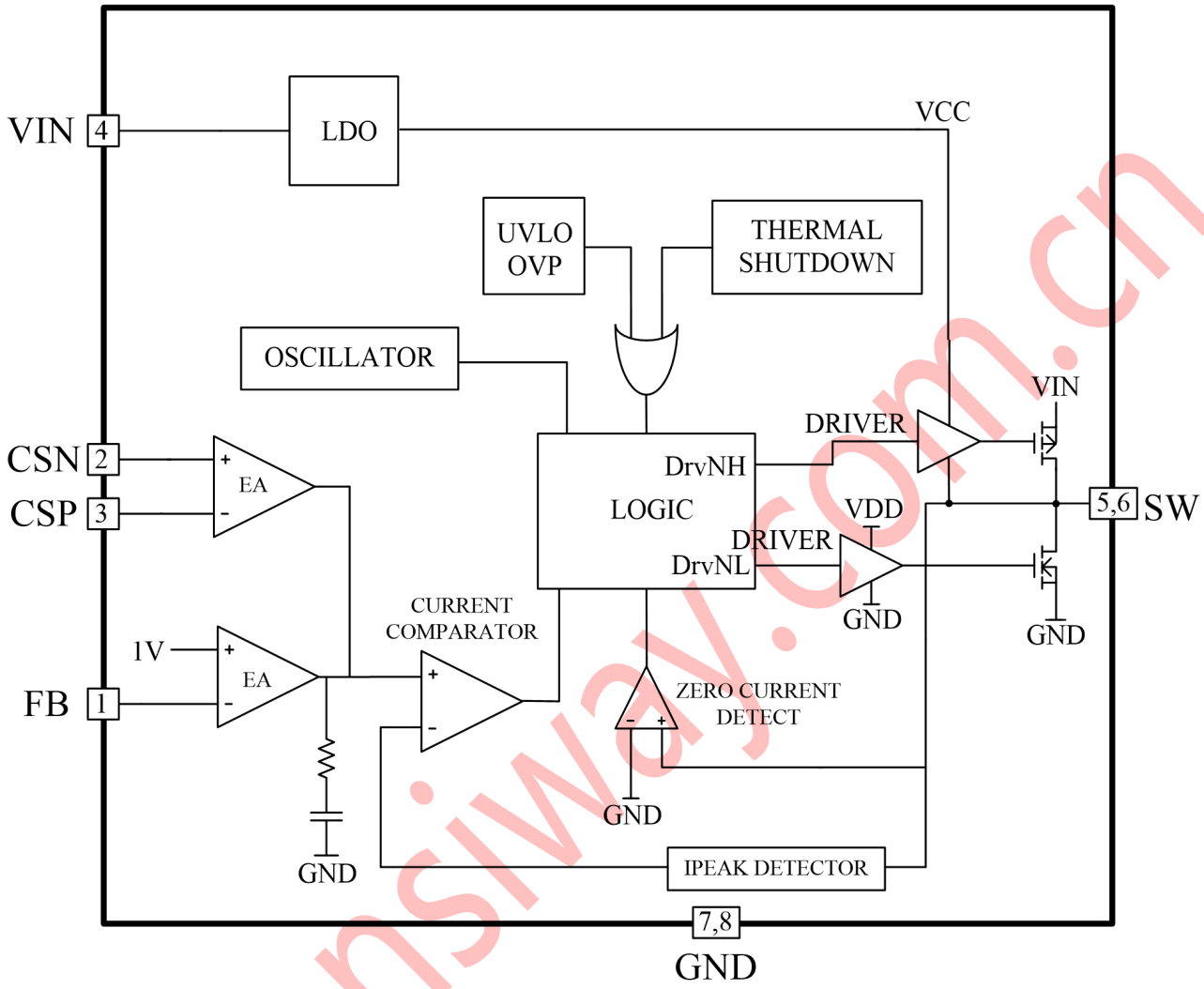
注 1：超过上述极限工作参数范围可能导致芯片永久性的损坏。长时间暴露在上述任何极限条件下可能会影响芯片的可靠性和寿命。

注 2：NS6312 可以在 0℃到 70℃的限定范围内保证正常的工作状态。超过-40℃至 85℃温度范围的工作状态受设计和工艺控制影响。

www.nsiway.com.cn

2018Copyright © Nsiway Technology

7 结构框图



www.nsiway.com.cn

2018Copyright © Nsiway Technology

8 电气特性

工作条件：T=25℃，V_{IN}=12V, R1=100k, R2=24.9k

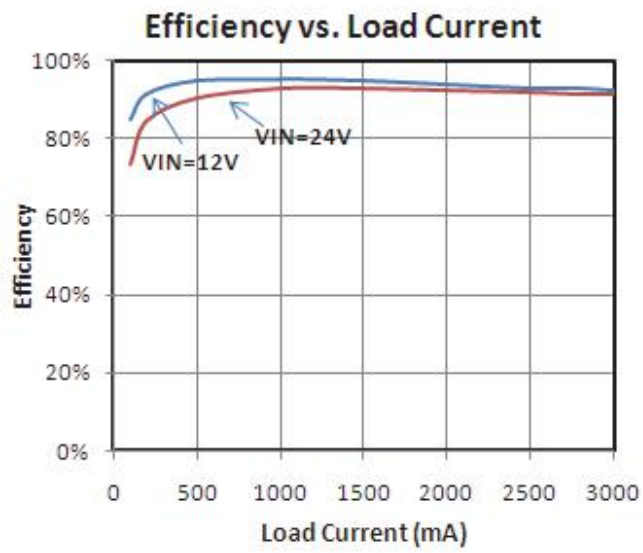
符号	参数名称	条件	最小值	典型值	最大值	单位
V_{IN}	工作电压范围		4		30	V
V_{OVP}	工作电压范围			33		V
I_Q	静态电流	VIN=8V		350		uA
V_{UVLO_H}	开启电压	VIN 接 FB		3.7		V
V_{UVLO_L}	关闭电压	VIN 接 FB		3.1		V
V_{FB}	电压基准		0.97	1	1.03	V
Vcsp-Vcsn	Isense 参考电压			60		mV
f_{OSC}	振荡器频率			130		kHz
DC	最大占空比				100	%
$R_{DSP(ON)}$	上管 PMOSFET 导通电阻			80		mΩ
$R_{DSN(ON)}$	下管 NMOSFET 导通电阻			35		mΩ
T_{SD}	过热关断温度			150		℃
ΔT_{SD}	过热关断温度迟滞			30		℃

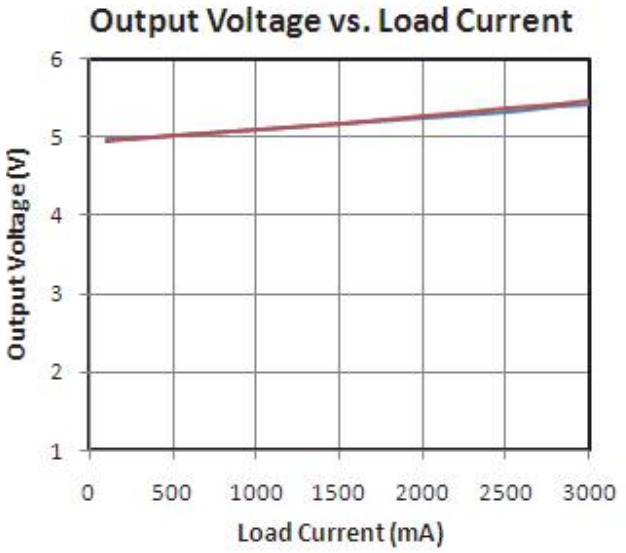
www.nsiway.com.cn

2018Copyright © Nsiway Technology

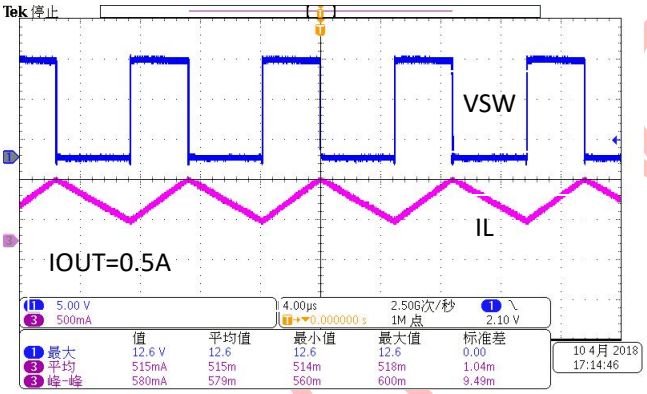
9 典型特性曲线

下列特性曲线中，除非指定条件，T_A=25℃, C_{IN}=100uF, C_{OUT}=470uF, L=47uH。

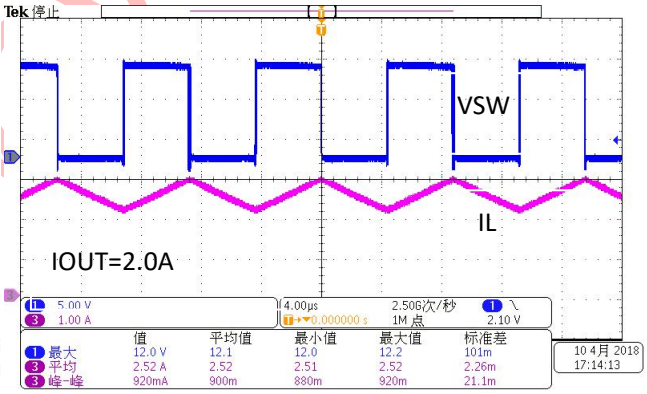




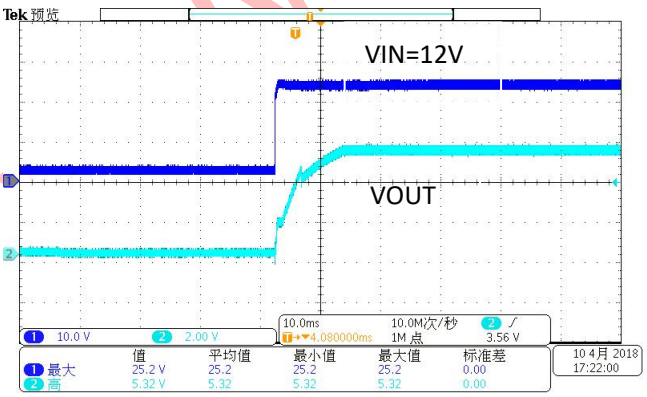
SW VS.Output waveform



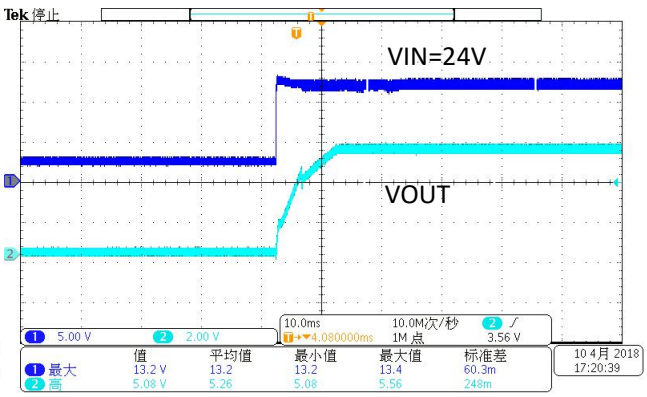
SW VS.Output waveform



Start-up Waveform



Start-up Waveform



2018Copyright © Nsiway Technology

10 应用说明

NS6312 采用固定频率的电流模式架构。输出电压由 FB 管脚的分压电路设定，比较器将电阻分压值与基准电压进行比较，相应地调整电感峰值电流。

正常工作状态下，当振荡器将 R-S 锁存器置位时，上管 PMOS 功率管导通；当电流比较器将 R-S 锁存器复位时，上管 PMOS 功率管截止，下管 NMOS 功率管导通，直到电流翻转比较器触发或下一个周期开始时，下管 NMOS 功率管截止，上管 PMOS 功率管导通，再进行下一周期循环。

10.1 过温保护

NS6312 具有过温保护功能。当芯片内部温度达到 150℃时，保护电路启动，关闭 PWM 输出，使芯片温度下降。过温保护电路可以防止芯片因故障导致的过热损坏。NS6312 若长时间处于热关断模式会降低芯片的可靠性。

10.2 电流限制

在上管 PMOS 功率管导通期间，电流限制模块可以检测流过上管 PMOS 功率管的电流。此电流限定值由内部直接设定，如果流过上管 PMOS 功率管的电流超过设定的限流值，则上管 PMOS 功率管截止。

10.3 振荡器频率

NS6312 振荡器频率由内部直接设定，设定值为 130KHz。

10.4 设置输出电压

输出电压可由连接到 FB 管脚的分压电阻来设定，分压电阻精度应≤1%。为了提高轻载的效率，可以考虑使用较大电阻值。但如果阻值过大，FB 管脚更容易受到噪声的干扰，导致输出电压的变化量会更加显著。R_2 电阻范围：10kΩ~1MΩ。R_1 电阻值由下述公式确定：

$$R_1 = R_2 \cdot (\frac{V_{OUT}}{V_{REF}} - 1)$$

公式中 V_{REF}=1.0V。

10.5 设置输出恒流点

输出恒流点可由连接到 CSN 和 CSP 管脚之前的电阻来设定，分压电阻精度应≤1%。R_{sense} 电阻值由下述公式确定：

$$R_{sense} = \frac{V_{ref_cc}}{I_{cc}}$$

公式中 Vcc_ref=60mV，Icc 为设定输出恒流值。

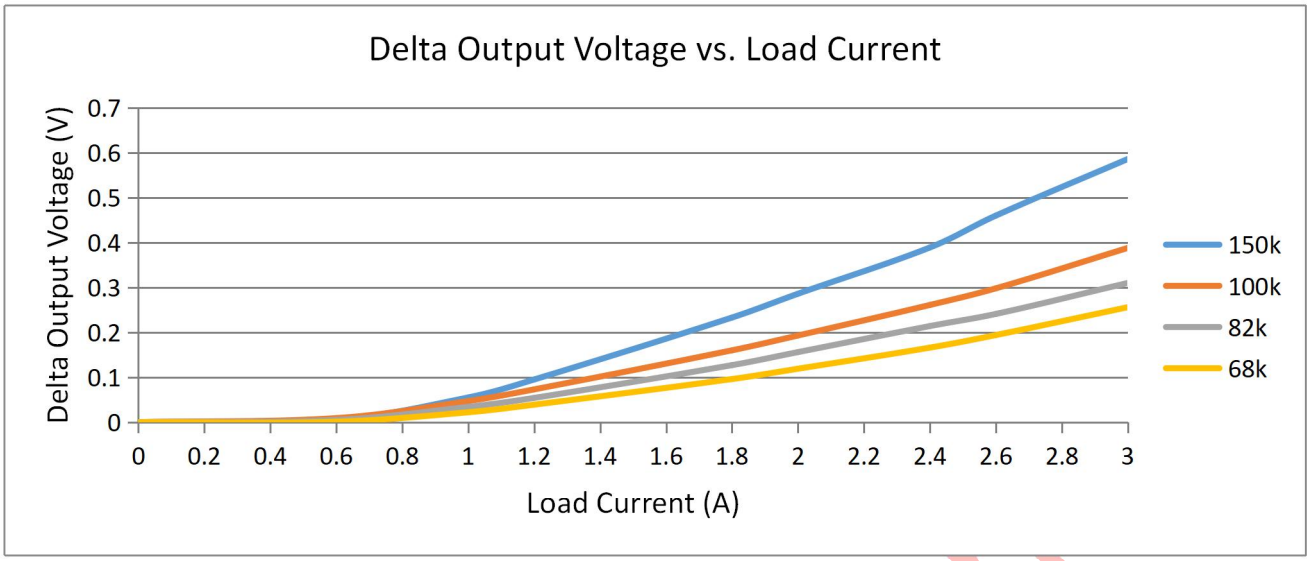
10.6 线缆补偿

为了补偿充电器输出线缆产生的压降，NS6312 集成了一个用户可调节的线缆压降补偿功能，通过对 FB 管脚处的阻抗设定来实现。根据线缆的压降选择适当的反馈电阻值来实现线缆补偿，可适当参考下图曲线。当增大 R_1 电阻值，输出电压补偿量也会增大：

$$\Delta V_{OUT}(V) = R_1(k\Omega) \cdot \frac{I_{OUT}(A)}{1100}$$

www.nsiway.com.cn

2018Copyright © Nsiway Technology



注：工作条件：T=25℃，V_{IN}=12V

10.7 电感选择

在多数应用中，电感值设定在 4.7uH～47uH 之间较为合理，电感值应基于期望纹波电流来选定。较大的电感量会使纹波电流变小，较小的电感量使纹波电流变大。如公式所示，较大的 V_{IN} 或 V_{OUT} 也会增加纹波电流。一个合理的纹波电流应设定为输出电流额定值的 20%～40%（ΔI_L=1.2A=40%×3A）

$$\Delta I_L = \frac{V_{OUT}}{f \cdot L}\left(1-\frac{V_{OUT}}{V_{IN}}\right)$$

电感的直流电流大小应大于等于最大负载电流与纹波电流一半之和以避免磁饱和。因此，一个额定值为 3.36A 的电感对于多数应用条件是足够的（3A+1.2A）。为了提高效率，应选择低直流阻抗的电感。

不同的磁芯材料和形状会改变一个电感的尺寸/电流和价格/电流关系。环形或带屏蔽磁芯，使用铁氧体或者坡莫合金材质具有更小的体积和更低的辐射能量，但是通常比同等电气特性的铁粉芯花费更高的价格。电感的选择通常还要考虑价格、尺寸要求和 EMI 需求等因素，而不是优先满足芯片的工作要求。

10.8 输出和输入电容选择

在连续工作模式下，主开关管的电流是一个周期性方波（占空比由 V_{OUT}/V_{IN} 决定）。为避免过大的电压瞬变，应尽量使用 ESR 较低，尺寸与最大电流有效值相匹配的输入电容。最大电容电流有效值由下式给出：

（C_{IN} 有效值要求）$$I_{RMS} \approx I_{OMAX} \cdot \frac{\sqrt{V_{OUT}(V_{IN}-V_{OUT})}}{V_{IN}}$$

这个公式表明，当 V_{IN}=2V_{OUT} 时，最大值为 I_{RMS}=I_{OUT}/2。由于最大的应力与正常应用相比，余量差额较小，所以这种简单的最恶劣条件只用于设计参考。需注意电容制造商提供的电流等级，因其通常是根据 2000H 的寿命来确定的，所以设计时需要减小对电容量的使用或选择一个比需要值更高温度等级的电容。如有任何问题请及时咨询制造商。

C_{OUT} 的选择是由有效串联阻抗决定的。通常地，一旦 C_{OUT} 的 ESR 需求得到了满足，电流有效值等级会远超 $I_{RIPPLE(P-P)}$的要求条件。输出纹波ΔV_{OUT} 由下式确定：

$$\Delta V_{OUT} = \Delta I_L\left(ESR+\frac{1}{8f \cdot C_{OUT}}\right)$$

2018Copyright © Nsiway Technology

其中，f=工作频率，C_{OUT}=输出电容量，ΔI_L=电感内纹波电流。对一个固定的输出电压，随着输入电压的增加，ΔI_L 也增加，所以输出纹波会在最大输入电压值时达到最高。

铝电解电容和钽电容都是可行的。对于钽电容，电容的电压浪涌测试是至关重要的，可采用 AVX TPS 表面的钽电容系列。这些电容系列通常是为了低 ESR 而设计制造的，所以通常会在定容量下给出最低的 ESR 值。

10.9 效率注意事项

开关电源调节器的效率等效于输出功率与输入功率的百分比。通常分析一些个体的损失，对于查明限制效率的原因和发现提高效率的措施是十分有帮助的。效率可以表示为：效率=100%-(L1+L2+L3...)，此时，L1，L2……每一项是占一定百分比的输入损失。尽管电路中存在很多损耗性的因素，V_{IN} 静态电流和 I^2R 是两项主要损耗。V_{IN} 静态电流损失决定了极低电流负载时的效率，而 I^2R 损失决定了中等和较高负载电流时的效率。在一个典型的效率曲线内，由于实际功率损失不明显，会导致曲线在极低负载电流时出现误导性的错误。

V_{IN} 静态电流由两个器件决定：在电气特性里给定的直流偏置电流，内部主开关和同步开关的栅极充电电流。内部功率 MOS 管开关时的栅极电容决定了栅极充电电流。每次栅极从高到低再到高切换时，一些电荷ΔQ 就会从 V_{IN} 移动到地。这就导致ΔQ/ΔT 带来的电流通常会大于直流偏置电流。在持续工作模式下，

$$I_{GATECHG} = f \cdot (Q_T + Q_B)$$

其中 Q_T 和 Q_B 是内部上拉和下拉开关管子的栅极电荷。直流偏置和栅极电荷损失会一定比例地影响输入电压，因此，两者会在较高供电电压时产生更大的影响。

I^2R 损失是由内部开关的阻抗计算得来，包括 R_{SW} 和外部电感直流电阻 R_L。在连续工作模式下，平均输出电流在流经电感 L 时会被主开关和同步开关“斩开”，因此，从 SW 管脚看进去的串联阻抗是上拉和下拉 MOS 管的 $R_{DS(ON)}$和占空比的共同作用结果。具体公式为:

$$R_{SW} = R_{DS(ON)TOP} \cdot DC + R_{DS(ON)BOT} \cdot (1 - DC)$$

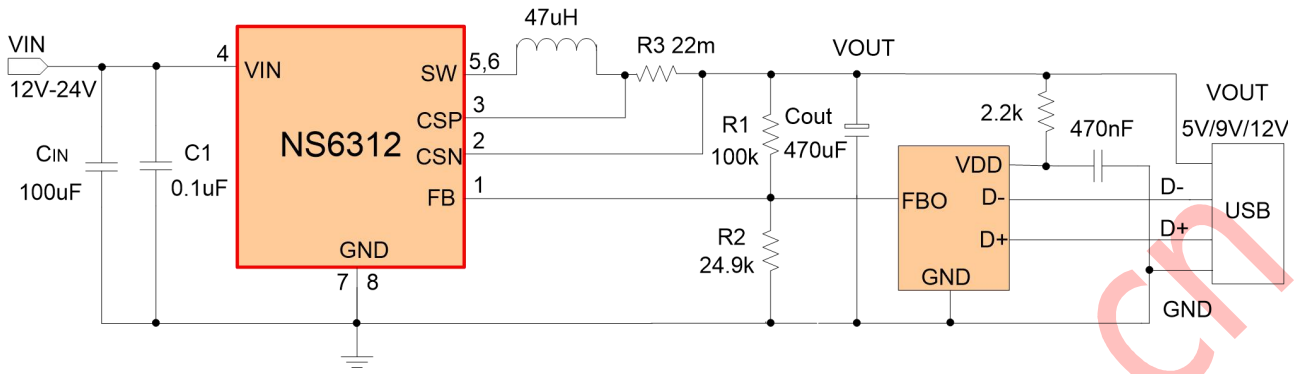
上拉和下拉 MOS 管的 $R_{DS(ON)}$的数值可以从典型特性曲线里得出。因此计算 I^2R 损失，只需添加 R_{SW} 到 R_L，同时将该结果乘以平均输出电流的平方。

其他损失包括 C_{IN} 和 C_{OUT} 的 ESR 损失和电感磁损，通常只占总损耗的 2%。

www.nsiway.com.cn

2018Copyright © Nsiway Technology

10.10 QC2.0/ QC3.0 典型应用方案



NS6312 可与市场上 QC2.0/QC3.0 识别芯片组合使用，支持对带有快充功能的设备充电，典型应用电路如上图所示。

10.11 PCB 布局建议

PCB 布局应遵循如下规则以确保芯片的正常工作。

1.功率线包括地线，SW 线和 VIN 线应该尽量做到短、直和宽。

2.输入电容应尽可能靠近芯片管脚（VIN 和 GND）。输入电源引脚必须增加一个 0.1uF 的陶瓷电容以增强芯片的抗高频噪声能力。如图 1。

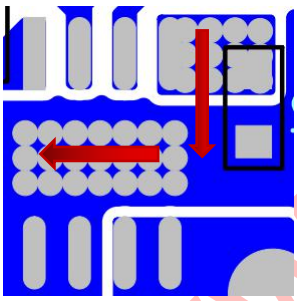


图 1

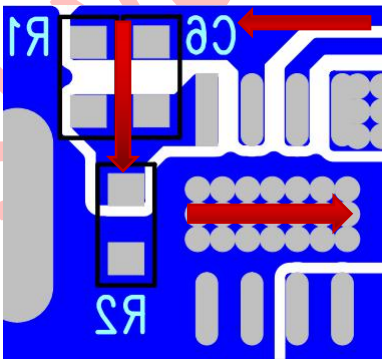


图 2

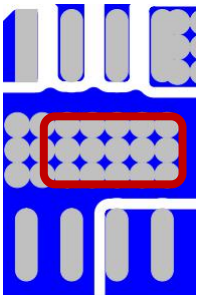


图 3

3.功率开关节点通常是高频电压幅值方波，所以应保持较小铺铜面积，且模拟元件应远离功率开关节点区域以防止掺杂电容噪音。

4.FB 管脚外置电阻应尽量靠近芯片，且布线足够宽。如图 2。

5.所有模拟地应连接到同一个节点，然后将该节点连接到输出电容后面的功率地，做到一点接地。

6.芯片下方建议用功率地 GND 铺铜，以增强芯片的散热面积和 IC 的抗干扰能力。若是双面板可将顶层和底层的 GND 用 Via 连接。如图 3。

7.限流电阻连接至芯片引脚的信号线尽量以排线方式连接，如图 4.

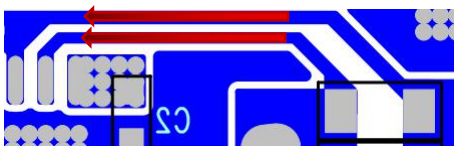
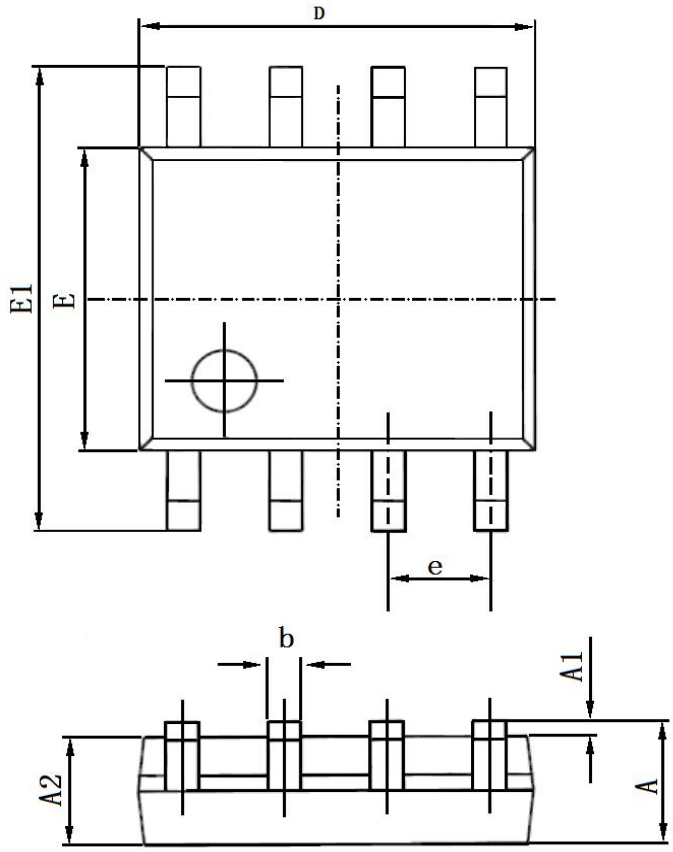


图 4

www.nsiway.com.cn

2018Copyright © Nsiway Technology

11 封装信息



Symbol	DimensionsIn Millimeters		DimensionsIn Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

12 版本修改历史

声明：深圳市纳芯威科技有限公司保留在任何时间，并且没有通知的情况下修改产品资料和产品规格的权利，本手册的解释权归深圳市纳芯威科技有限公司所有，并负责最终解释。

2018Copyright © Nsiway Technology