隔离式双通道栅极驱动芯片

概述

PN7922是一款隔离式双通道栅极驱动芯片，该芯片可以作为大功率MOSFET和IGBT的驱动开关。PN7922每一路提供4A拉电流和8A灌电流的峰值电流，并且具有较小的传播延时和脉冲宽度失真。

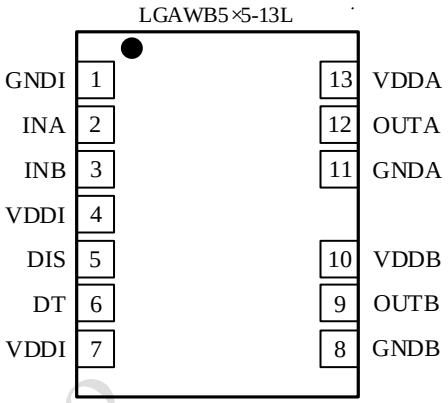
特性

- 宽电源电压范围：VDDI：3~5.5V
  VDDA/B：9~20V(8V UVLO版本)
  7~20V(6V UVLO版本)
- 每一路提供4/8A峰值拉电流和灌电流
- 快速传播延时典型值39ns
- 快速上升和下降时间典型值7ns
- 两通道延时匹配典型值1ns
- 当输入管脚悬空时，输出保持为低电平
- CMTI大于150kV/μs
- 欠压保护功能
- 安全相关认证：
  UL 1577: 3000V_{RMS} 1 minute
  DIN VDE V 0884-17:2021-10: 4242V_{PK}
  CQC GB4943.1-2022

应用领域

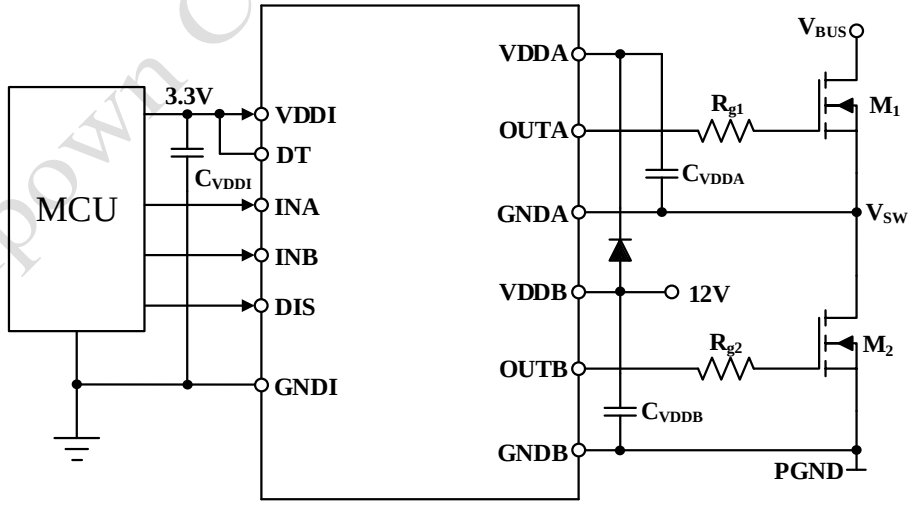
- 隔离式PFC、DC-DC转换器
- 隔离式IGBT、MOSFET栅极驱动器

封装/订购信息



订购代码	UVLO版本	封装
PN7922LA-A1	6V	LGAWB5×5-13L
PN7922LA-B1	8V	LGAWB5×5-13L

典型应用示意图

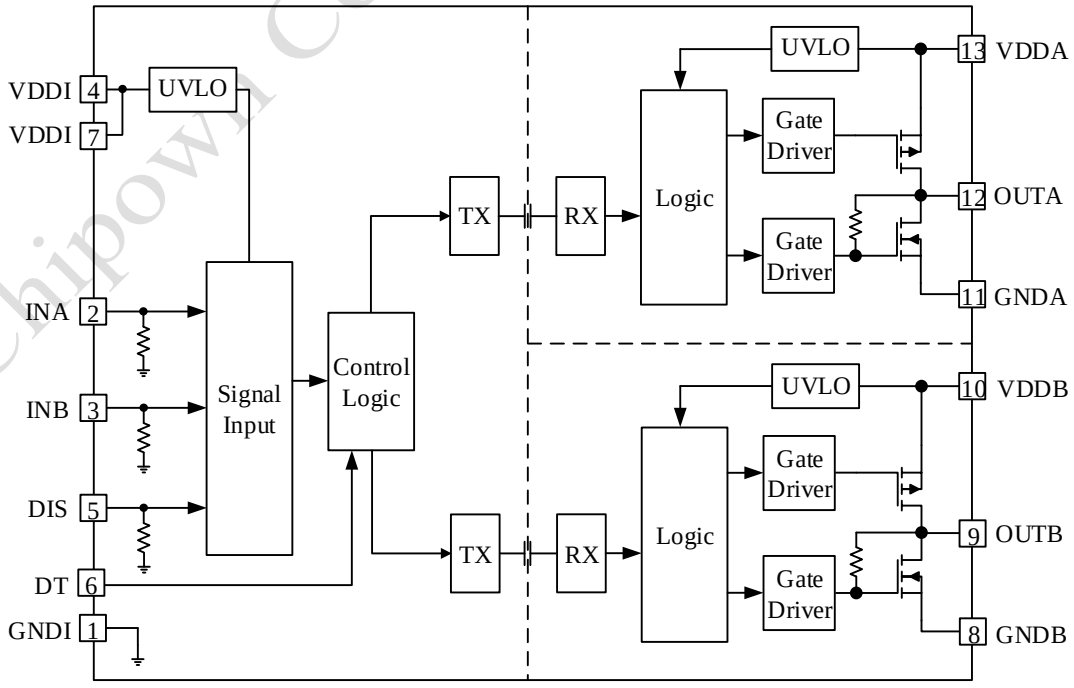


Chipown Confidential to

管脚定义

管脚名	管脚标号	管脚功能描述
GNDI	1	初级地。
INA	2	输入信号A，默认拉低。如果不使用INA引脚，建议将此引脚接地以获得更好的抗躁能力。
INB	3	输入信号B，默认拉低。如果不使用INB引脚，建议将此引脚接地以获得更好的抗躁能力。
VDDI	4	初级电源。在VDDI和GNDI之间尽可能近地靠近芯片引脚放置一个去耦电容。
DIS	5	使能信号，低有效，默认拉低。当DIS引脚设置为高电平，则两个输出同时关闭；当DIS引脚设置为低电平或悬空，芯片正常工作。如果不使用DIS引脚，建议将此引脚连接到GNDI以获得更好的抗噪能力。
DT	6	可编程死区时间功能脚。
VDDI	7	初级电源。在VDDI和GNDI之间尽可能近地靠近芯片引脚放置一个去耦电容。
GNDB	8	通道B的输出级地。
OUTB	9	通道B的驱动输出。
VDDB	10	通道B的输出级电源。在VDDB和GNDB之间尽可能近地靠近芯片引脚放置一个去耦电容。
GNDA	11	通道A的输出级地。
OUTA	12	通道A的驱动输出。
VDDA	13	通道A的输出级电源。在VDDA和GNDA之间尽可能近地靠近芯片引脚放置一个去耦电容。

功能框图



Chipown Confidential to

绝对最大额定值(1)

VDDA、VDDB 电压.....-0.3~22V
VDDI、INA、INB、DIS、DT 电压
.....-0.3~5.8V
OUTA 电压..... -0.3~ VDDA+0.3V
OUTB 电压..... -0.3~ VDDB+0.3V
人体模式 ESD 能力(2)(HBM)..... ±2kV

存储温度范围.....-55~150℃
最大结温 T_J.....150℃
封装热阻
θ_{JA}.....209℃/W
$\theta_{JC\ (top)}$.....48℃/W
θ_{JB}.....78℃/W

备注:

(1) 加在器件上的电压，电流或温度如果超过绝对最大额定值，可能会导致器件退化或永久性地损坏。这里只是给出能够承受的限值，并不意味在此条件下器件的功能性操作无误，器件长期工作在绝对最大额定值条件下会影响器件的可靠性。以上绝对最大额定值是指在T_A=25℃下获得，除非另有说明;

(2) 产品委托第三方严格按照芯片级ESD标准(ANSI/ESDA/JEDEC JS-001-2017)中的测试方式和流程进行测试。

适用工作范围

VDDI 电压.....3~5.5V
INA、INB、DIS、DT 电压.....-0.3~5.5V
工作结温 T_J.....-40~130℃

VDDA、VDDB 电压
PN7922LA-A1，6V UVLO 版本.....7~20V
PN7922LA-B1，8V UVLO 版本.....9~20V

备注:

(1) VDDI，INA，INB，DIS，DT是参考GNDI电压，VDDA，OUTA是参考GNDA电压，VDDB，OUTB是参考GNDB电压。

电气特性(1)

(T_J=-40~125℃，VDDI=3.3V，INA/INB=0 或 3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，OUTA 与 OUTB 接 1.8nF 到地，典型值是在 T_J=25℃测得，除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
VDDI、VDDA、VDDB 管脚						
VDDI 工作电压	V_{VDDI}		3		5.5	V
VDDI 启动电压	$VDDI_{ON}$		2.6	2.85	3	V
VDDI 欠压保护阈值	$VDDI_{OFF}$		2.45	2.70	2.85	V
VDDI 欠压滞回值	V_{HYS1}			0.15		V
VDDI 静态电流	I_{VDDI}	INA=INB="L"		1.1	2	mA
VDDA、VDDB 静态电流	$I_{VDDA/VDDB}$	INA=INB="L"		1	2	mA
VDD欠压锁定（PN7922LA-A1，6V UVLO 版本）						
VDDA、VDDB 工作电压	$V_{VDDA/B}$		7		20	V
VDDA、VDDB 启动电压	$VDDA/B_{ON}$		5.7	6.15	6.5	V
VDDA、VDDB 欠压保护阈值	$VDDA/B_{OFF}$		5.4	5.85	6.2	V
VDDA、VDDB 欠压滞回值	V_{HYS2}			0.3		V

Chipown Confidential to

电气特性（续）

(T_J=-40~125℃，VDDI=3.3V，INA/INB=0 或 3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，OUTA 与 OUTB 接 1.8nF 到地，典型值是在 T_J=25℃测得，除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
VDD欠压锁定（PN7922LA-B1，8V UVLO 版本）						
VDDA、VDDB 工作电压	$V_{VDDA/B}$		9		20	V
VDDA、VDDB 启动电压	$VDDA/B_{ON}$		7.5	8.0	8.5	V
VDDA、VDDB 欠压保护阈值	$VDDA/B_{OFF}$		6.5	7.0	7.5	V
VDDA、VDDB 欠压滞回值	V_{HYS2}			1.0		V
INA、INB、DIS 管脚						
IN,DIS 有效高电平	V_{IH},V_{DISH}		1.65	2	2.35	V
IN,DIS 有效低电平	V_{IL},V_{DISL}		0.85	1.2	1.55	V
IN,DIS 迟滞	V_{IN_HYS} V_{DIS_HYS}			0.8		V
下拉电阻	R_{PD}	V_{IN} =5V		180		kΩ
输入低电流	I_{IL}	V_{IN}=0V			1	μA
输出驱动能力						
High-side 功率管导通电阻	R_{ONSRC}	I_{SRC}=50mA	0.5	1.5	2.6	Ω
High-side 功率管峰值电流(2)	I_{SRC}	C_{LOAD}=0.18μF F_{SW}=1kHz		4		A
Low-side 功率管导通电阻	R_{ONSNK}	I_{SNK}=-50mA	0.18	0.35	0.75	Ω
Low-side 功率管峰值电流(2)	I_{SNK}	C_{LOAD}=0.18μF F_{SW}=1kHz		-8		A
输出上升时间(3)	t_r	10% to90%VDDA/B		7	20	ns
输出下降时间(3)	t_f	90% to 10%VDDA/B		7	20	ns
输入信号到输出翻转为高电平传输延时(3)	t_{PLH}	F_{SW}=50kHz, Duty cycle=50%	29	39	49	ns
输入信号到输出翻转为低电平传输延时(3)	t_{PHL}	F_{SW}=50kHz, Duty cycle=50%	29	39	49	ns
输入输出信号失配时间	t_{PDISTO}	F_{SW}=50kHz, Duty cycle=50% $\lvert t_{PLH}-t_{PHL} \rvert$			5.5	ns
两通道延时匹配(3)	t_M	F_{SW}=50kHz, Duty cycle=50%		1	5	ns
DIS 信号到输出延时	t_{PDIS}	F_{SW}=50kHz, Duty cycle=50%		72	110	ns
死区时间	t_{DT}	R_{DT}=20kΩ	160	200	240	ns

Chipown Confidential to

电气特性（续）

(T_J=-40~125℃，VDDI=3.3V，INA/INB=0 或 3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，OUTA 与 OUTB 接 1.8nF 到地，典型值是在 T_J=25℃测得，除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
输入最小响应脉宽(4)	t_{PW_MIN}	F_{SW}=50kHz，改变输出状态的最小输入脉宽		30	50	ns

备注：

(1) 以上参数值均在上述对应的测试条件下得出；

(2) 设计保证；

(3) 参数定义见图 1；

(4) t_{PW_MIN} 是改变输出状态的最小输入脉宽，这并不意味着在此脉宽下可以保证其他动态时间参数在规格范围以内；

参数定义 (1)

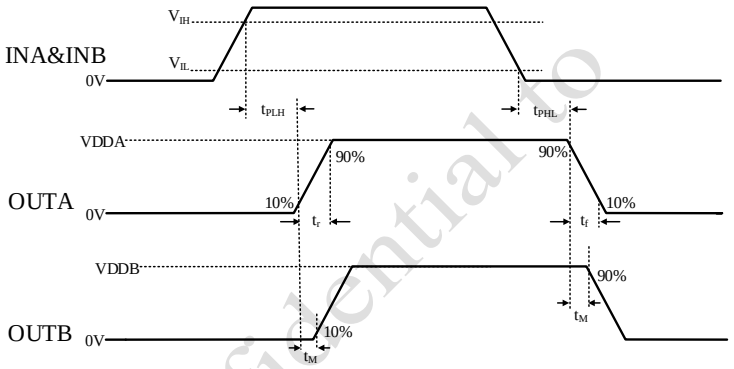


图 1. 输入/输出波形

备注：

(1) DT 引脚连接到 VDDI。

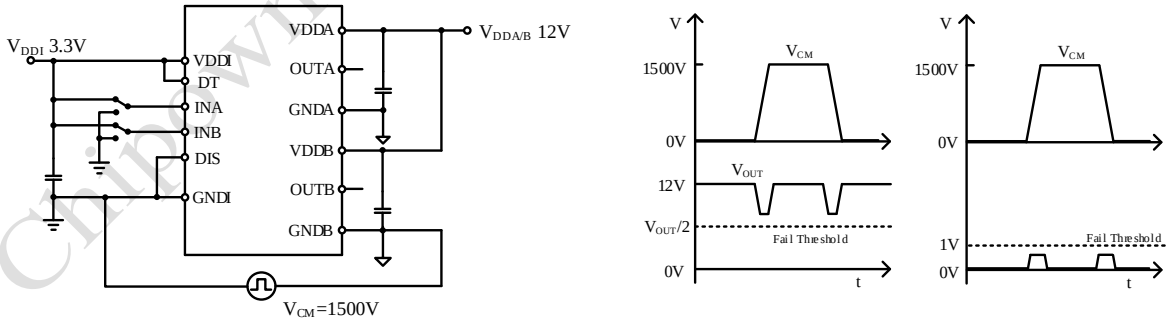


图 2. CMTI 测试电路（以 GNDI 对 GNDB 测试为例）

Chipown Confidential to

真值表 (1)

输入		DIS	输出		备注
INA	INB		OUTA	OUTB	
L	L	L or F(2)	L	L	如果使用死区功能，在死区时间后，输出状态改变。
L	H	L or F(2)	L	H	
H	L	L or F(2)	H	L	
H	H	L or F(2)	L	L	DT 引脚连接电阻 R_{DT} 到 GNDI。
H	H	L or F(2)	H	H	DT 引脚悬空或连接到 VDDI。
F(2)	F(2)	L or F(2)	L	L	
X(3)	X(3)	H	L	L	

备注：

(1) 测试条件为 VDDI=3.3V，VDDA=VDDB=12V；

(2) 悬空状态，如果不使用 DIS 引脚，建议将此引脚连接到 GNDI 以获得更好的抗噪能力；

(3) H、L 或悬空。

Chipown Confidential to

绝缘耐压规格

参数	符号	条件	规格	单位
电气间隙	CLR	Min. External Air Gap (Clearance)	3.5	mm
爬电距离	CPG	Min. External Tracking (Creepage)	3.5	mm
绝缘穿通距离	DTI	Distance through the Insulation	24	μm
相对漏电起痕指数	CTI	Comparative Tracking Index, DIN EN 60112 (VDE 0303-11)	>600	V
材料组别		Material Group, IEC 60664-1	I	
Installation Classification		Installation Classification per DIN VDE 0110, For Rated Mains Voltage ≤ 150Vrms	I to III	
		Installation Classification per DIN VDE 0110, For Rated Mains Voltage ≤ 300Vrms	I to II	
		Installation Classification per DIN VDE 0110, For Rated Mains Voltage ≤ 600Vrms	I	
污染等级			2	
隔离电压	V_{ISO}	$V_{TEST}=V_{ISO}$, t = 60s (qualification), V_{TEST} = 1.2 ×V_{ISO}, t = 1s (100% production)	3000	V_{RMS}
最大瞬态隔离电压	V_{IOTM}	V_{TEST} = V_{IOTM}, t = 60s (qualification) V_{TEST} = 1.2 ×V_{IOTM}, t = 1s (100% production)	4242	V_{PK}
最大隔离工作电压	V_{IOWM}	AC voltage (sine wave);	560	V_{RMS}
		DC voltage;	792	V_{DC}
最大重复峰值隔离电压	V_{IORM}	AC voltage (bipolar)	792	V_{PK}
输入输出测试电压	$V_{pd\ (m)}$	Input to Output Test Voltage, Method B1. $V_{ini.\ b}$ = V_{IOTM}, $V_{pd(m)}$ = V_{IORM} × 1.5, tini = tm = 1 sec, q_{pd} ≤ 5 pC, 100% production test	1188	V_{PK}
	$V_{pd\ (m)}$	Input to Output Test Voltage, Method A. After Environmental Tests Subgroup 1 $V_{ini.\ a}$ = V_{IOTM}, $V_{pd(m)}$ = V_{IORM} × 1.3, t_{ini} = 60 sec, t_m = 10 sec, q_{pd} ≤ 5 pC	1030	V_{PK}
	$V_{pd\ (m)}$	Input to Output Test Voltage, Method A. After Input and Output Safety Test Subgroup 2 and Subgroup 3 $V_{ini.\ a}$ = V_{IOTM}, $V_{pd(m)}$ = V_{IORM} × 1.2, t_{ini} = 60 sec, t_m = 10 sec, q_{pd} ≤ 5 pC	950	V_{PK}
最大浪涌隔离电压	V_{IOSM}	Test method per IEC62368-1, 1.2/50us waveform, V_{TEST} = 1.3 × V_{IOSM}	3500	V_{PK}
绝缘阻抗	R_{IO}	V_{IO} = 500 V, T_{amb} = T_S	>10^9	Ω

Chipown Confidential to

参数	符号	条件	规格	单位
	R_{IO}	V_{IO} = 500 V, 100 °C ≤ T_{amb} ≤ 125 °C	>10^{11}	Ω
绝缘电容	C_{IO}	f = 1MHz	1.2	pF

安全极限特性

参数	符号	条件	规格	单位
最大输入输出功耗	P_{INPUT}	$R_{\theta JA}$ = 209 ℃/W, T_J = 150 ℃, T_A = 25 ℃	12	mW
	P_{Driver_A} or P_{Driver_B}		293	mW
	P_{TOTAL}		598	mW
最大输出电流	I_{Driver_A} or I_{Driver_B}	$R_{\theta JA}$ = 209 ℃/ W, VDDA/B = 12V, T_J = 150 ℃, T_A = 25 ℃	24.4	mA
		$R_{\theta JA}$ = 209 ℃/ W, VDDA/B = 20V, T_J = 150 ℃, T_A = 25 ℃	14.7	mA
最高温度	T_S		150	℃

安全相关认证

VDE	UL	CQC
Certified according to DIN V VDE V 0884-17:2021-10	Certified according to UL 1577 Component Recognition Program	Certified according to GB4943.1-2022
Reinforced Insulation V_{IORM}=792V_{PEAK}, V_{IOTM}=4242V_{PEAK}, V_{IOSM}=3500V_{PEAK}	Single Protection, 3000V_{RMS} Isolation Voltage	Reinforced Insulation
40058610	E536504	In progress

Chipown Confidential to

典型性能特征

(T_J=25℃，VDDI=3.3V，INA/INB=0或3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，F_{SW}=50kHz，Duty cycle=50%，DT接VDDI，OUTA与OUTB接1.8nF到地，除非另有说明。)

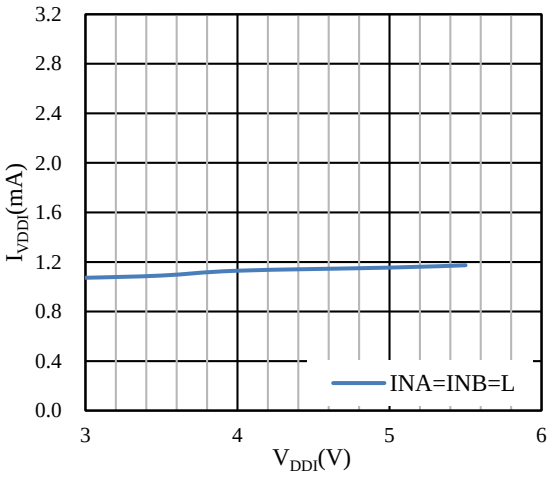


图 3. I_{DDI} vs V_{DDI}

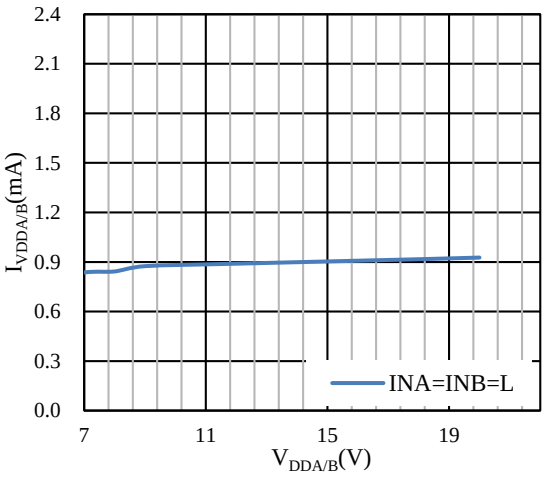


图 4. $I_{VDDA/B}$ vs $V_{DDA/B}$

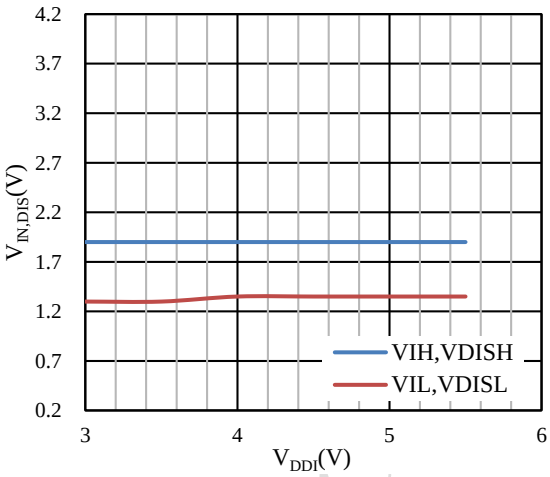


图 5. $V_{IN,DIS}$ vs V_{DDI}

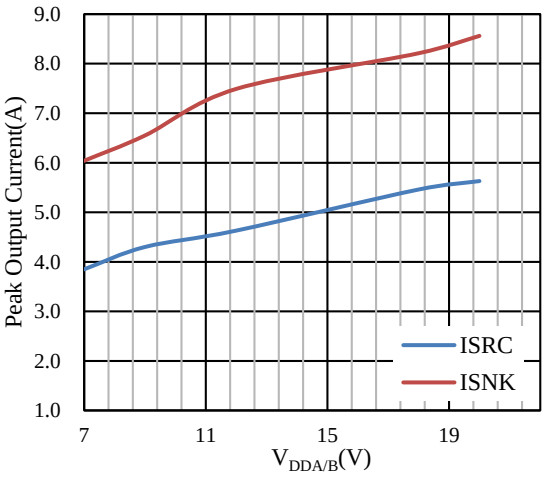


图 6. Peak Output Current vs $V_{DDA/B}$

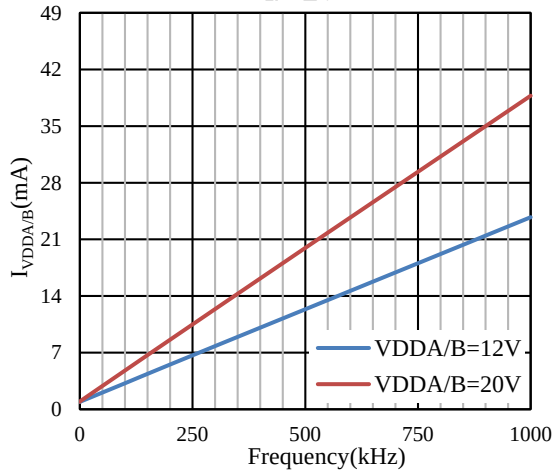


图 7. $I_{VDDA/B}$ vs Frequency

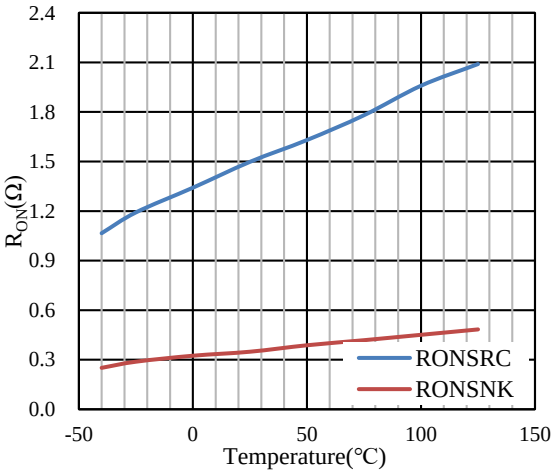


图 8. R_{ON} vs Temperature

典型性能特征（续）

(T_J=25℃，VDDI=3.3V，INA/INB=0或3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，F_{SW}=50kHz，Duty cycle=50%，DT接VDDI，OUTA与OUTB接1.8nF到地，除非另有说明。)

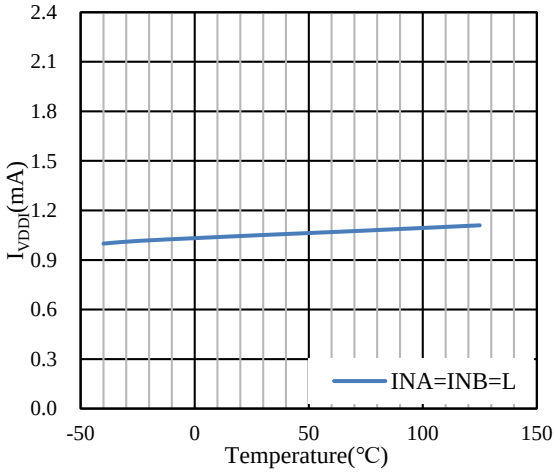


图 9. I_{VDDI} vs Temperature

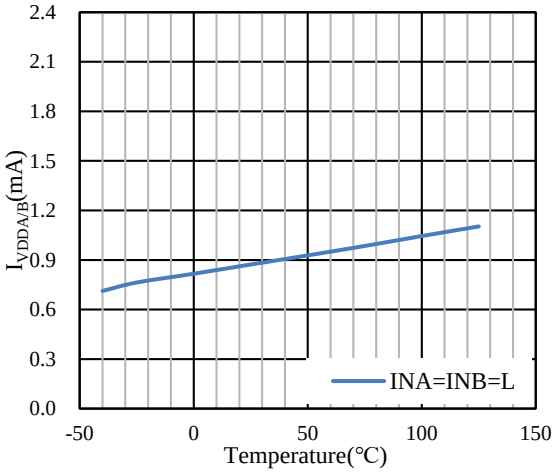


图 10. $I_{VDDA/B}$ vs Temperature

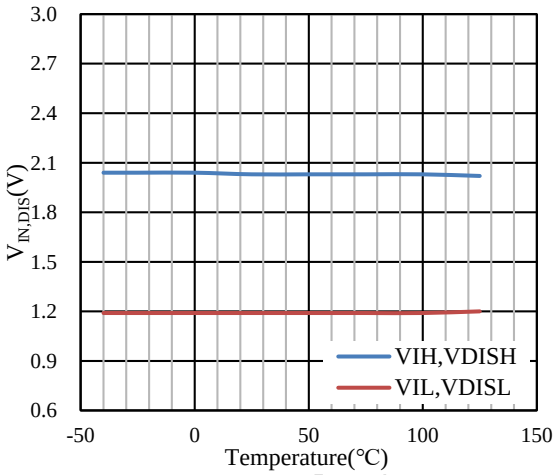


图 11. $V_{IN,DIS}$ vs Temperature

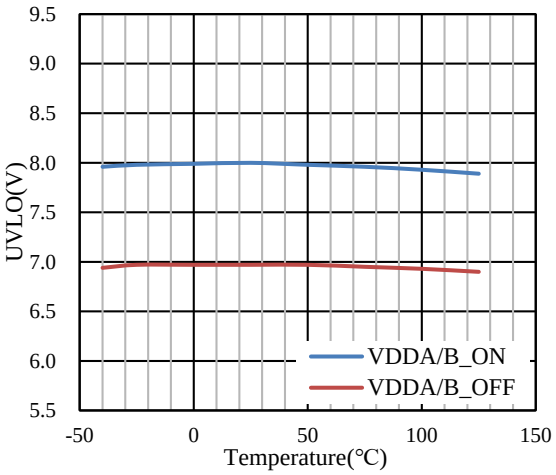


图 12. 8V VDD UVLO vs Temperature

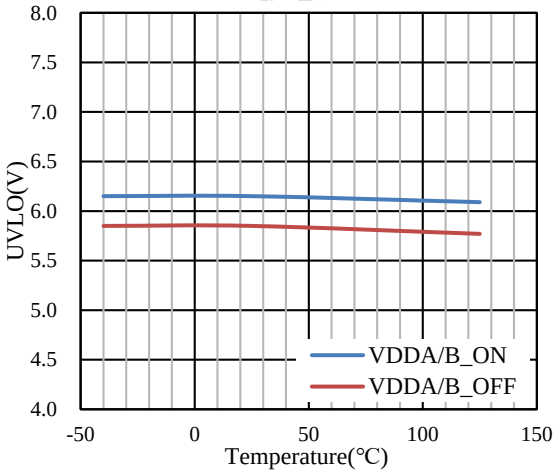


图 13. 6V VDD UVLO vs Temperature

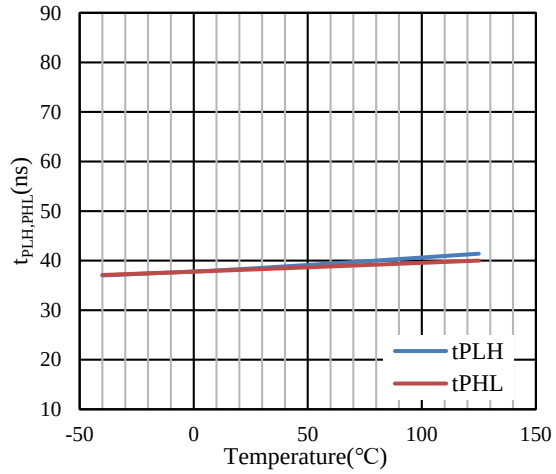


图 14. $t_{PLH,PHL}$ vs Temperature

典型性能特征（续）

(T_J=25℃，VDDI=3.3V，INA/INB=0或3.3V(slew rate =1V/ns)，VDDA=VDDB=12V，F_{SW}=50kHz，Duty cycle=50%，DT接VDDI，OUTA与OUTB接1.8nF到地，除非另有说明。)

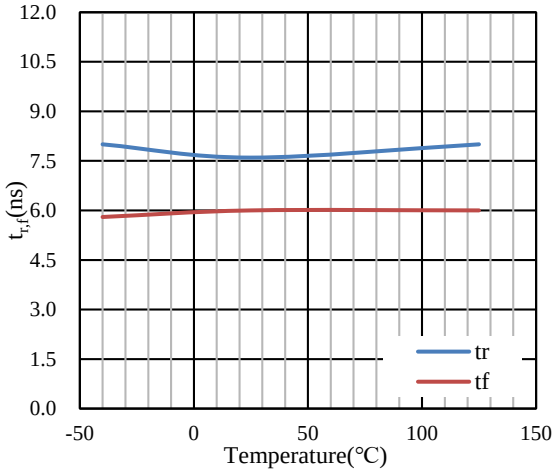


图 15. $t_{r,f}$ vs Temperature

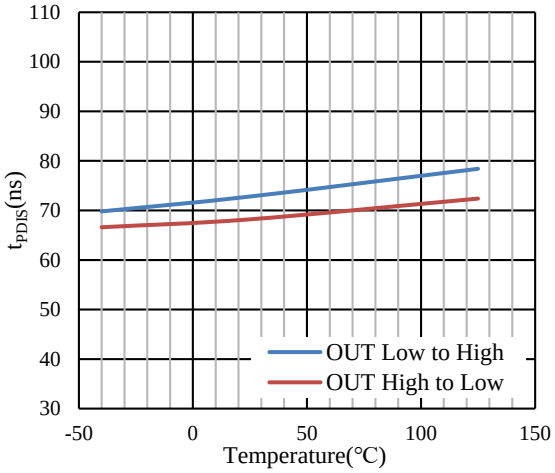


图 16. t_{PDIS} vs Temperature

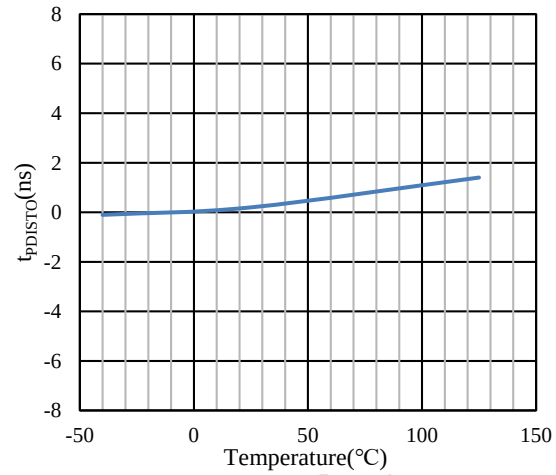


图 17. t_{PDISTO} vs Temperature

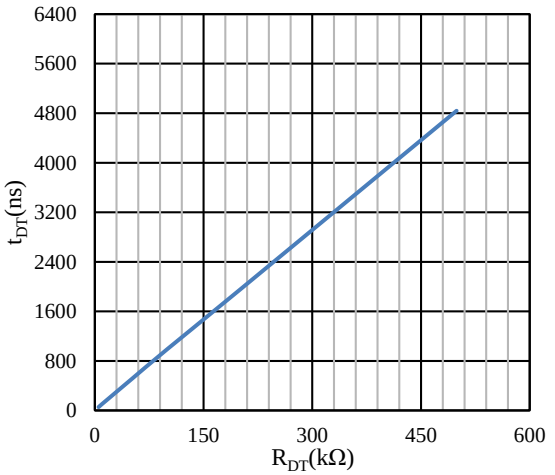


图 18. t_{DT} vs R_{DT}

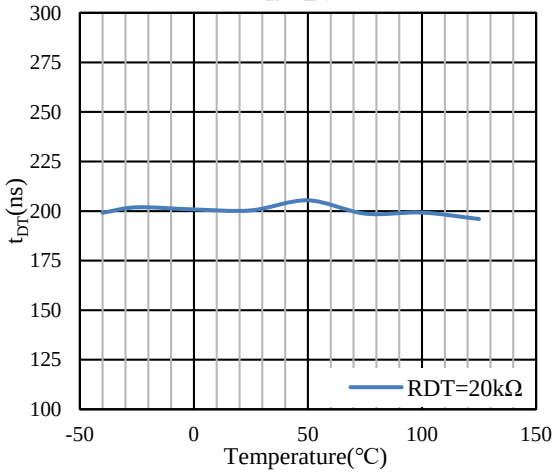


图 19. t_{DT} vs Temperature

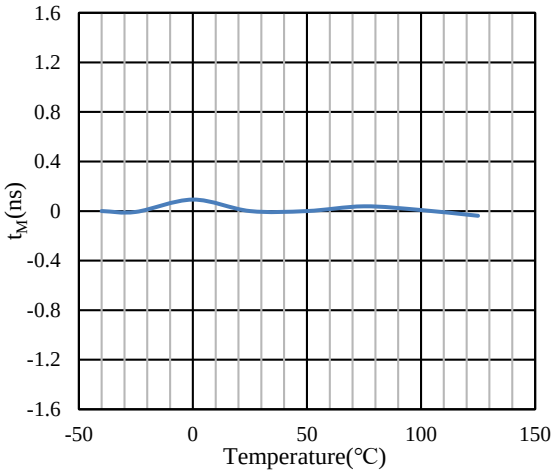


图 20. t_M vs Temperature

功能描述

PN7922是一款隔离式的双通道栅极驱动芯片，该芯片可以作为大功率MOSFET和IGBT的驱动开关，并且其输出可以提供高达4A拉电流和8A灌电流的峰值电流脉冲。

1. 欠压保护（UVLO）

PN7922初级电源和次级电源都具有欠压保护功能。当VDDI或VDDA/B上升到开启电压之后，输出受输入控制（当DIS引脚设置为低电平）。当VDDI或VDDA/B下降到欠压保护阈值后，输出为低电平。

2. 有源下拉

当次级没有电源电压或者电源电压在 UVLO 状态时，可以使用有源钳位功能将功率管的栅极拉低。此功能将 V_{OUT} 引脚钳位至 2V 以下来防止功率管的误开通。

3. DIS 脚

DIS 为使能引脚，当 DIS 引脚设置为高电平，则两个输出同时关闭；当 DIS 引脚设置为低电平，芯片正常工作。如果不使用 DIS 引脚，建议将此引脚连接到 GNDI 以获得更好的抗噪能力。

4. DT设置

PN7922 提供以下两种方式来调整死区时间：

（1） DT 引脚连接到 VDDI

因为输出完全匹配输入，所以最小死区时间不是必须要作考量。PN7922 允许输出重叠。如果不使用此引脚，建议将其直接连接到 VDDI，以实现更好的抗噪性。

不允许 DT 连接到 GNDI 使用。

（2） 在 DT 引脚与 GNDI 之间连接可编程电阻

通过在 DT 引脚与 GNDI 之间连接电阻 R_{DT} 来实现可编程的死区时间，可以通过下面的公式来确定适当的电阻 R_{DT}：

$$t_{DT} \approx 10 \times R_{DT}$$

式中，t_{DT} 是可编程的死区时间，单位是 ns；R_{DT} 是 DT 引脚与 GNDI 之间连接的电阻值（$5k\Omega < R_{DT} < 500k\Omega$），单位是 kΩ。

输入信号的下降沿会启动另一个输入信号死区时间。如果输入信号 INA 和 INB 包含的死区持续时间小于设定的最小值，则两个输出保持低电平的持续时间被设置为设定的死区时间；如果输入信号 INA 和 INB 包含的死区持续时间大于设定的最小值，则两个输出保持低电平的持续时间也会大于设定的死区时间；如果两个输入信号同时为高，则两个输出将被拉为低。下图说明了输入、输出逻辑和死区时间的关系。

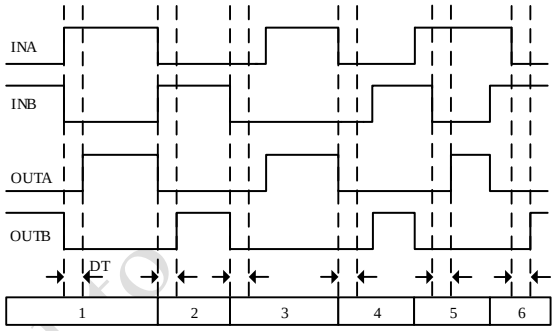


图21. 输入、输出逻辑和死区时间的关系

状态 1：INA 变高，INB 变低，此时 OUTB 被设置为低，并对 OUTA 进行死区时间控制，在死区时间之后，OUTA 才变为高

状态 2： INB 变高，INA 变低，此时 OUTA 被设置为低，并对 OUTB 进行死区时间控制，在死区时间之后，OUTB 才变为高。

状态 3：INA 保持为低，INB 变为低，此时将 OUTB 设置为低，并对 OUTA 进行死区时间控制，但由于输入信号的死区时间大于设定的死区时间，所以在 INA 由低变高时，OUTA 也被立即设置为高。

状态 4：INB 保持为低，INA 变低，INA 立即将 OUTA 设置为低，并对 OUTB 进行死区时间控制，但由于输入信号的死区时间大于设定的死区时间，所以 INB 在由低变高时，OUTB 被立即设置为高。

状态 5： INB 保持为高，INA 变高，此时 OUTA、OUTB 被设置为低。在 INB 变为低时，开始对 OUTA 进行死区时间控制，在死区时间之后，OUTA 才变为高。

Chipown Confidential

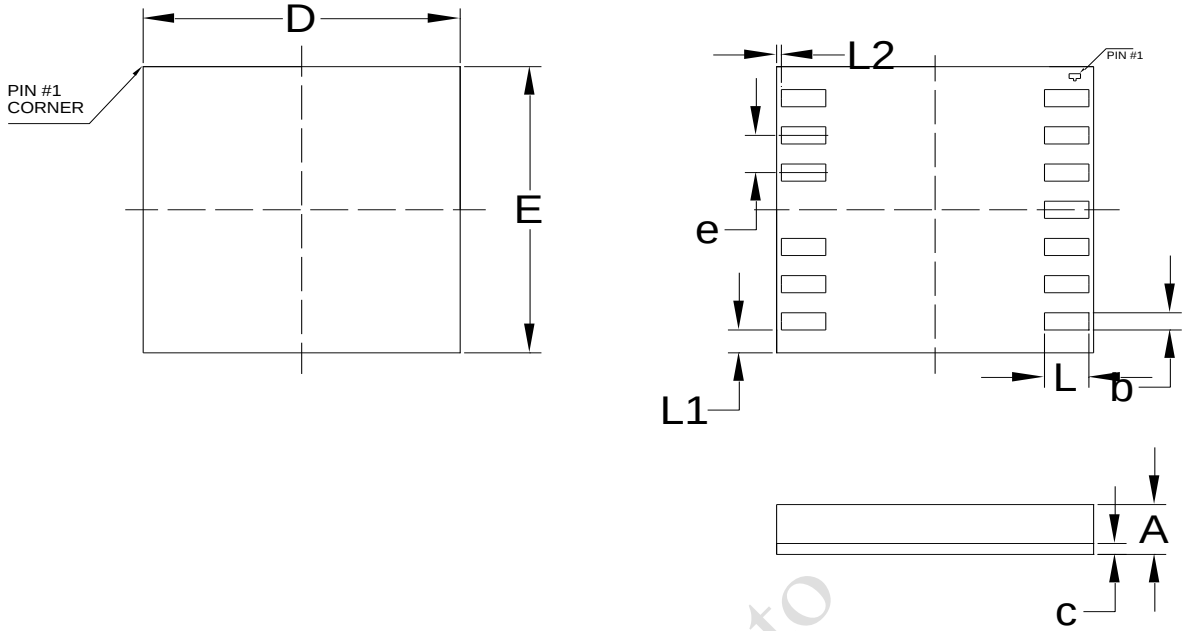
状态 6： INA 保持为高，INB 变高，此时 OUTA、OUTB 被设置为低。在 INA 变为低时，开始对 OUTB 进行死区时间控制，在死区时间之后，OUTB 才变为高。

备注：以上公式均基于典型应用示意图，仅供原理理解。

Chipown Confidential to

封装信息

封装外形尺寸LGAWB5×5-13L



尺寸 / 符号	最小（mm）	典型（mm）	最大（mm）	尺寸 / 符号	最小（mm）	典型（mm）	最大（mm）
A	0.770	0.870	0.970	L1	0.325	0.400	0.475
c	0.160	0.190	0.220	L2	0.000	0.075	0.150
D	4.900	5.000	5.100	e	--	0.650	--
E	4.900	5.000	5.100	b	0.250	0.300	0.350
L	0.625	0.700	0.775				

表层丝印	封装
PN PN7922 YWWXXXXX	LGAWB5×5-13L

备注：Y：年份代码；WW：周代码；XXXXX：内部代码

备注：

1. 此制图可以不经通知进行调整；
2. 器件本体尺寸不含模具飞边。

Chipown Confidential to

重要声明

无锡芯朋微电子股份有限公司保留更改规格的权利，恕不另行通知。无锡芯朋微电子股份有限公司对任何将其产品用于特殊目的的行为不承担任何责任，无锡芯朋微电子股份有限公司没有为用于特定目的产品提供使用和应用支持的义务。无锡芯朋微电子股份有限公司不会转让其专利许可以及任何其他的相关许可权利。

任何半导体产品在特定条件下都有一定的失效或者发生故障的可能，买方有责任在使用我司产品进行系统设计、试样和整机制造时遵守安全标准并采取安全措施，充分进行验证，以避免潜在失败风险可能造成人身伤害或者财产损失情况的发生。

Chipown Confidential to