具有 5A 峰值驱动电流的双通道低侧栅极驱动芯片

概述

PN7762/3/4是一款双通道、高速低侧栅极驱动芯片，该芯片可以作为大功率MOSFET和IGBT的驱动开关。

PN7762/3/4的输出可以提供高达5A拉电流和5A灌电流的峰值电流脉冲，且输入信号到输出信号的传播延时极小，典型值为22ns。此外，该芯片的两个通道之间的传播匹配延时典型值为1ns，可将两个通道并联使用。

该芯片的输入管脚INA、INB兼容5V和3.3V信号控制，具有良好的抗干扰性。

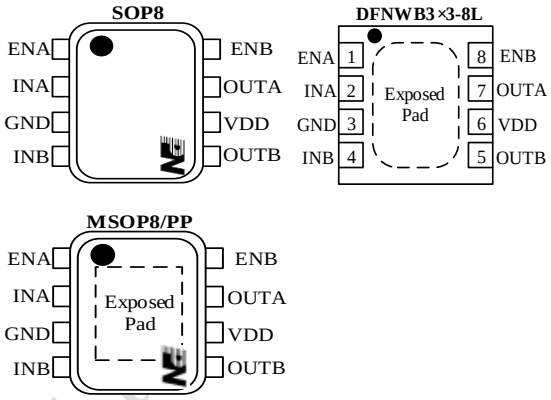
特性

- 宽电源电压范围：5V～20V
- 两个独立的栅极驱动通道
- 5A峰值拉电流和灌电流
- 快速传播延时典型值22ns
- 快速上升和下降时间典型值6ns
- 两通道间延时匹配时间典型值为1ns
- 针对更高的驱动电流，两个输出可以并联使用
- 当输入管脚悬空时，输出保持为低电平
- 采用DFNWB3×3-8L，SOP8和MSOP8/PP封装

应用领域

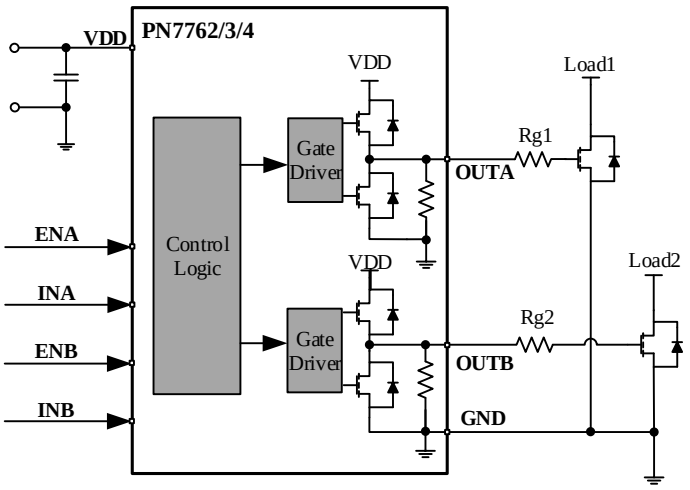
- 开关模式电源
- 电机控制
- 功率MOSFET和IGBT栅极驱动器

封装/订购信息



订购代码	封装
PN7762SEC-R1	SOP8
PN7763SE-A1	SOP8
PN7764SE-A1	SOP8
PN7762DF-A1	DFNWB3×3-8L
PN7763DF-A1	DFNWB3×3-8L
PN7764DF-A1	DFNWB3×3-8L
PN7762MR-A1	MSOP8/PP

典型应用示意图



Chipown Confidential

管脚定义

管脚名	管脚标号	管脚功能描述
ENA	1	A通道使能信号，ENA="L"，A通道输出低；ENA="H"，A通道输出见真值表
INA	2	A通道输入信号，控制OUTA
GND	3	地，使用时必须连接到GND。
INB	4	B通道输入信号，控制OUTB
OUTB	5	B通道驱动输出
VDD	6	电源
OUTA	7	A通道驱动输出
ENB	8	B通道使能信号，ENB="L"，B通道输出低；ENB="H"，B通道输出见真值表
Exposed Pad		散热片，使用时必须连接到GND铺地铜箔。散热片仅适用于DFNWB3×3-8L和MSOP8/PP封装。

真值表

输入				输出					
				PN7762		PN7763		PN7764	
ENA	ENB	INA	INB	OUTA	OUTB	OUTA	OUTB	OUTA	OUTB
H/F	H/F	L	L	L	L	H	H	H	L
H/F	H/F	L	H	L	H	H	L	H	H
H/F	H/F	H	L	H	L	L	H	L	L
H/F	H/F	H	H	H	H	L	L	L	H
L	L	×	×	L	L	L	L	L	L
×(2)	×	F(1)	F	L	L	L	L	L	L

备注:（1）浮置状态；（2）任何状态

Chipown Confidential to

功能框图

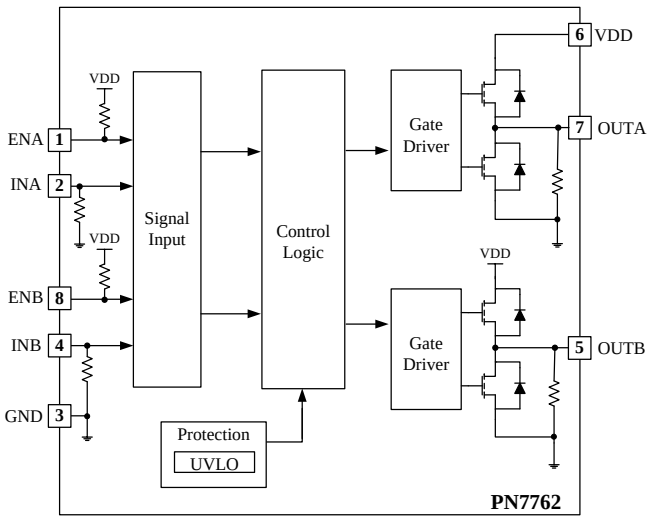


图 1 PN7762 功能框图

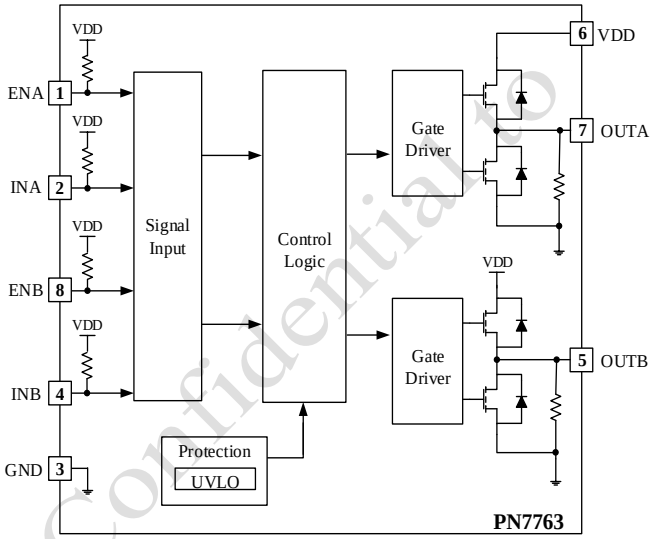


图 2 PN7763 功能框图

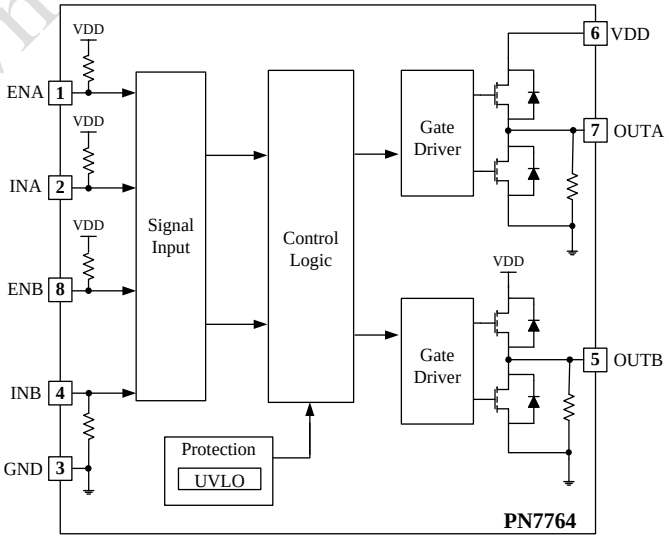


图 3 PN7764 功能框图

Chipown Confidential

绝对最大额定值(1)

VDD脚耐压……-0.3~22V
ENA, ENB, INA, INB脚耐压……-0.3~22V
OUTA，OUTB脚耐压……-0.3~22V
(-2~VDD + 0.3V, duty cycle <1%, Repetitive pulse <200ns)
存储温度范围……-55~150 °C

最大结温T_{Jmax}……150 °C
封装热阻$\theta_{JC(top)}$(2)（DFNWB3×3-8L）….45 °C/W
封装热阻$\theta_{JC(top)}$(2)（SOP8）……40 °C/W
封装热阻$\theta_{JC(top)}$(2)（MSOP8/PP）……60 °C/W
人体模式ESD能力(3)（HBM）……±4kV
带电器件模式ESD能力(4)（CDM）……±2kV

备注:

(1) 加在器件上的电压，电流或温度如果超过绝对最大额定值，可能会导致器件退化或永久性地损坏。这里只是给出能够承受的限值，并不意味在此条件下器件的功能性操作无误，器件长期工作在绝对最大额定值条件下会影响器件的可靠性；以上绝对最大额定值是指在 T_A=25°C下获得，除非另有说明;

(2) $\theta_{JC(top)}$热阻是采用冷板散热，在封装顶部放置测试点后仿真获得;

(3) 产品委托第三方严格按照芯片级 ESD 标准(ESDA/JEDEC JS-001-2017)中的测试方式和流程进行测试;

(4) 产品委托第三方严格按照芯片级 ESD 标准(ESDA/JEDEC JS-002-2018)中的测试方式和流程进行测试。

适用工作范围

VDD电压……5~20V
OUTA，OUTB电压……0~20V

ENA, ENB, INA, INB电压……0~20V
工作结温T_J……-40~150 °C

电气特性(1)

(T_J= -40°C~150°C，VDD=12V，INA/INB=0 或 5V(slew rate =2V/ns)，OUT 端接 1.8nF 电容，除非另有说明。)

参数	符号	条件	最小值	典型值	最大值	单位
VDD 管脚						
VDD 启动电压	VDD_{ON}	VDD 上升	4	4.5	4.95	V
VDD 欠压保护阈值	VDD_{OFF}	VDD 下降	3.7	4.2	4.65	V
VDD 欠压滞回值	V_{HYS}	VDD_{ON}-VDD_{OFF}	0.1	0.3	0.5	V
VDD静态电流	I_{VDDQ1}	VDD=12V, 输出都为高	0.2	0.6	1.2	mA
	I_{VDDQ2}	VDD=12V, 输出都为低	0.05	0.30	0.60	mA
IN 管脚（ENA, ENB, INA, INB）						
EN，IN 有效高电平	V_{IH}	ENA/B,INA/B 上升	1.8	2.1	2.5	V
EN，IN 有效低电平	V_{IL}	ENA/B,INA/B 下降	0.8	1.1	1.6	V
EN，IN 电压滞回值	V_{INHYS}	V_{IH} - V_{IL}	0.5	1	1.4	V
下拉到地电阻	R_{IPD}		50	100	150	kΩ
上拉到电源电阻	R_{IPU}		200	400	550	kΩ
输出管脚（OUTA，OUTB）						
High-side 功率管导通电阻	R_{ONSRC}	I_{SRC}=50mA, T_J=25 °C	0.5	0.7	1	Ω

Chipown Confidential

参数	符号	条件	最小值	典型值	最大值	单位
		I_{SRC}=50mA, T_J= -40 ºC ~150 ºC	0.3	0.7	1.4	Ω
High-side 功率管峰值电流 (2)	I_{SRC}	C_{LOAD}=0.22 µF, F_{SW}=1kHz		5		A
Low-side 功率管导通电阻	R_{ONSNK}	I_{SNK}=-50mA, T_J=25 ºC	0.25	0.4	0.55	Ω
		I_{SNK}=-50mA, T_J= -40 ºC ~150 ºC	0.05	0.4	1	Ω
Low-side 功率管峰值电流 (2)	I_{SNK}	C_{LOAD}=0.22 µF, F_{SW}=1kHz		-5		A
输出下拉到地电阻	R_{OPD}		30	80	120	kΩ
输出上升时间(3)	T_r	10% to 90%VDD		6	10	ns
输出下降时间(3)	T_f	90% to 10%VDD		6	10	ns
输入信号到输出翻转为高电平传输延时(3)	T_{PLH1}	IN上升斜率大于2V/ns	10	22	35	ns
输入信号到输出翻转为低电平传输延时(3)	T_{PHL1}	IN下降斜率大于2V/ns	10	22	35	ns
使能信号到输出翻转为高电平传输延时(3)	T_{PLH2}	EN 上升斜率大于 2V/ns	10	22	35	ns
使能信号到输出翻转为低电平传输延时(3)	T_{PHL2}	EN 下降斜率大于 2V/ns	10	22	35	ns
两通道匹配延时(3)	T_M			1	5	ns
最小传递脉宽(4)	T_{WP}			10	50	ns

备注:

(1) 以上参数值均在上述对应的测试条件下得出;

(2) 设计保证;

(3) 具体参数定义见图 4~8;

(4) T_{PW} 是改变输出状态的最小输入脉宽，这并不意味着在此脉宽下可以保证其他动态时间参数在规格范围以内。

Chipown Confidential to

参数定义

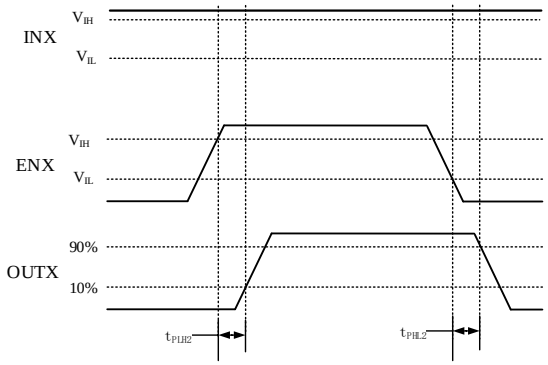


图 4 使能脚与输出波形示意图（输入输出同相）

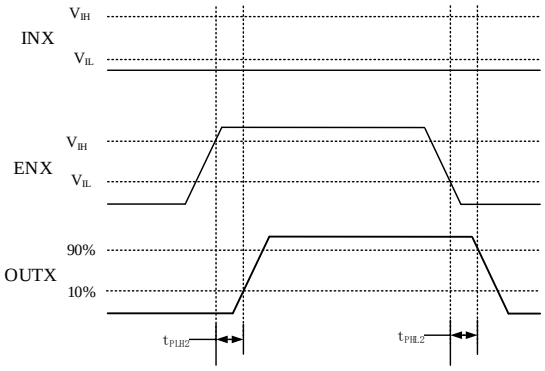


图 5 使能脚与输出波形示意图（输入输出反相）

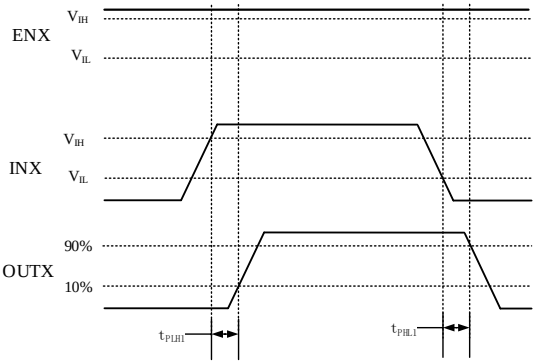


图 6 输入与输出波形示意图（输入输出同相）

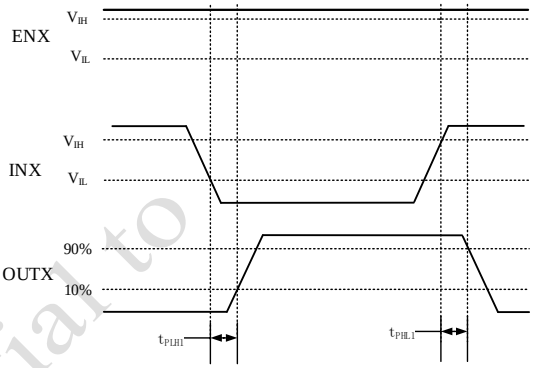


图 7 输入与输出波形示意图（输入输出反相）

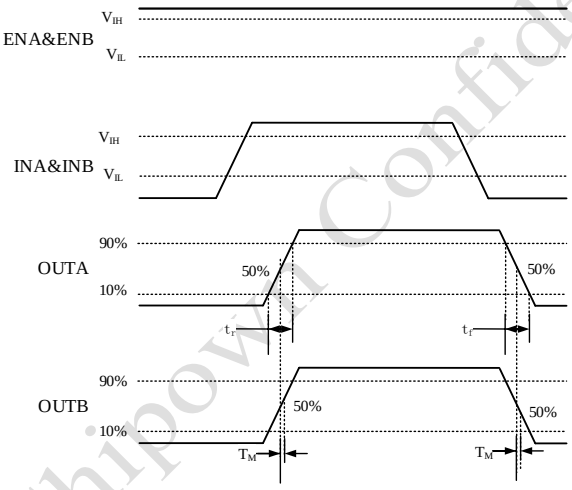
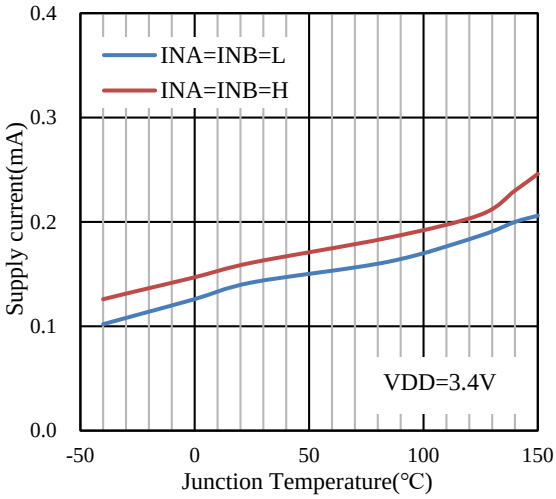


图 8 输出波形示意图（输入输出同相）

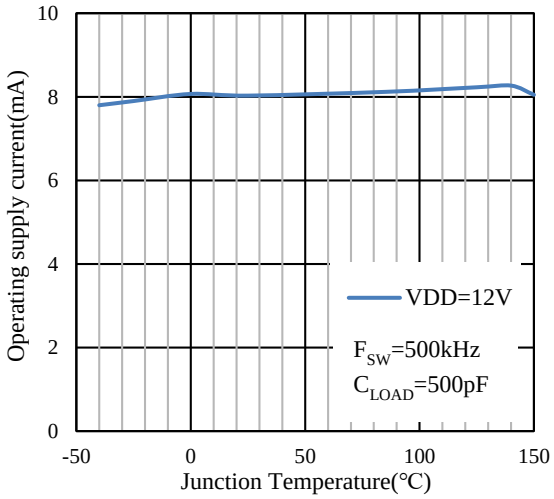
Chipown Confidential to

特性曲线

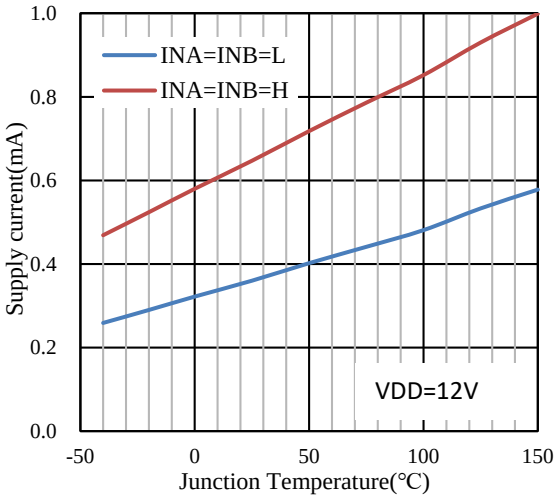
(T_J= 25°C，VDD=12V，ENA,ENB 悬空，INA/INB=0 或 5V(slew rate =2V/ns)，F_{SW}=20kHz，Duty cycle=50%，OUT 端接 1.8nF 电容，除非另有说明。)



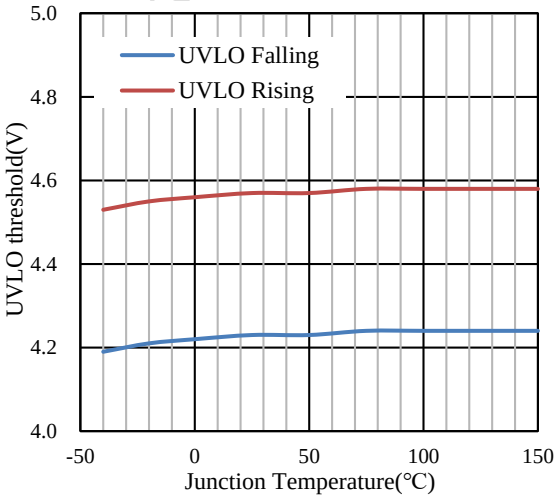
(a) Startup current VS T_J



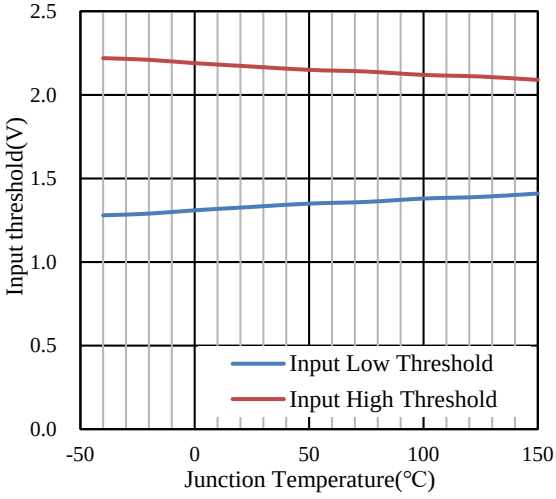
(b) Operating supply current VS T_J



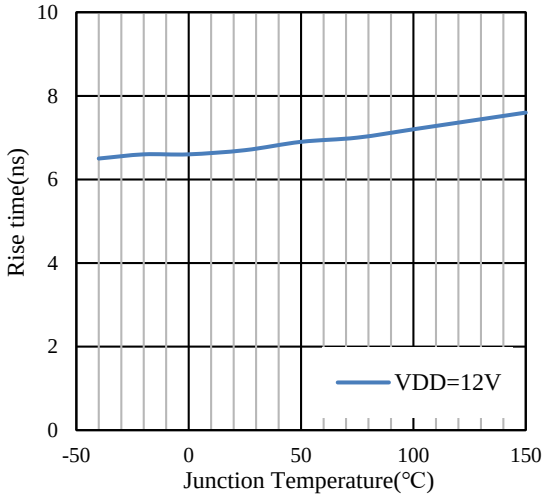
(c) Supply current VS T_J



(d) UVLO threshold VS T_J



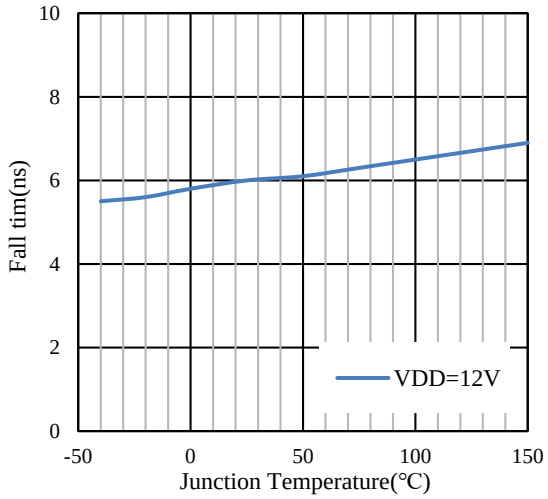
(e) Input threshold VS T_J



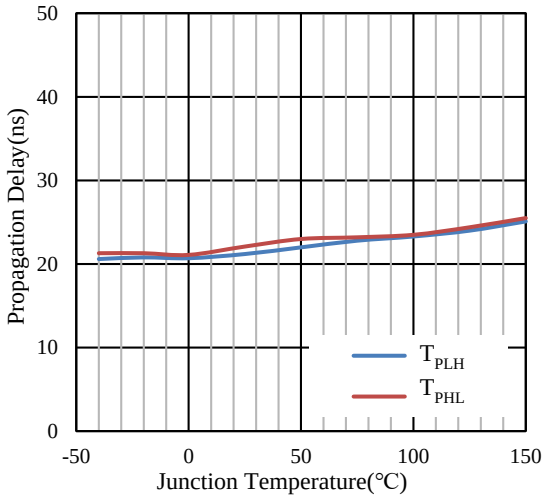
(f) Rise time VS T_J

特性曲线（续）

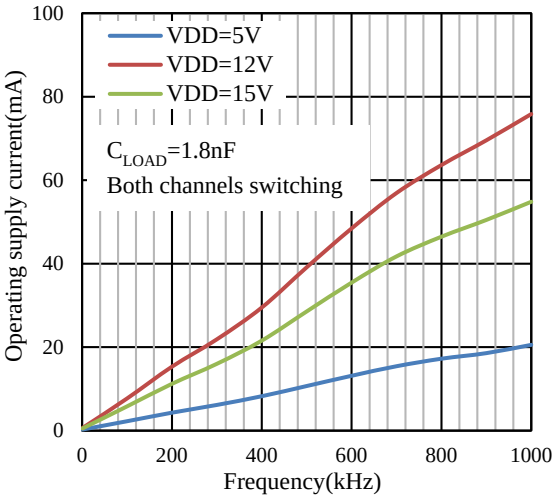
(T_J= 25°C，VDD=12V，ENA,ENB 悬空，INA/INB=0 或 5V(slew rate =2V/ns)，F_{SW}=20kHz，Duty cycle=50%，OUT 端接 1.8nF 电容，除非另有说明。)



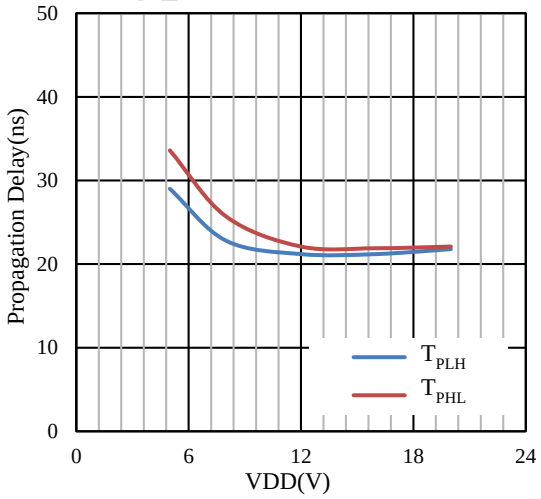
(g) Fall time VS T_J



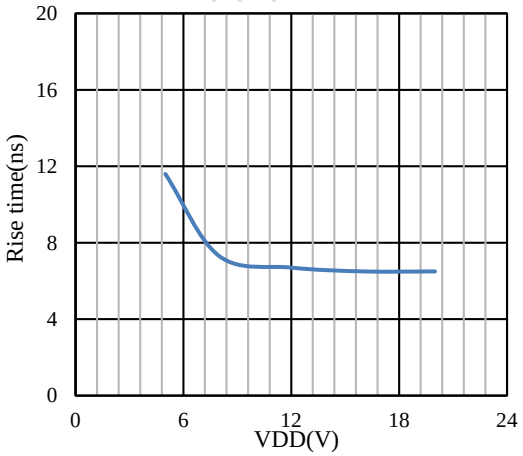
(h) Propagation Delay VS T_J



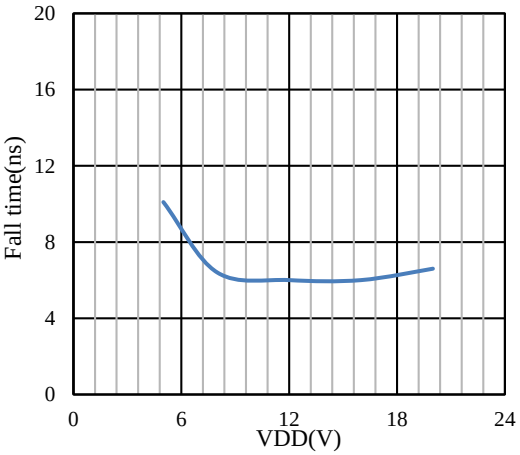
(i) Operating supply current VS Frequency



(j) Propagation Delay VS VDD



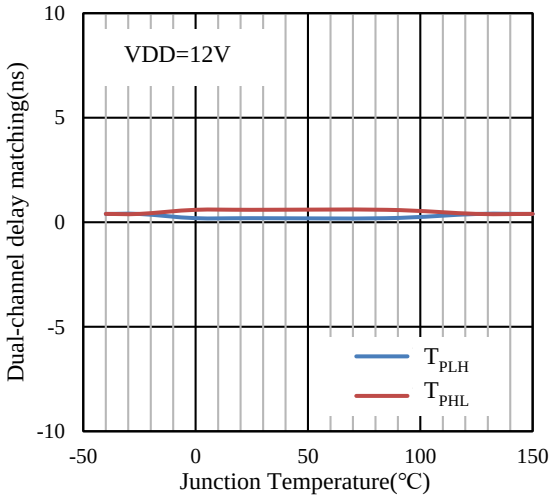
(k) Rise time VS VDD



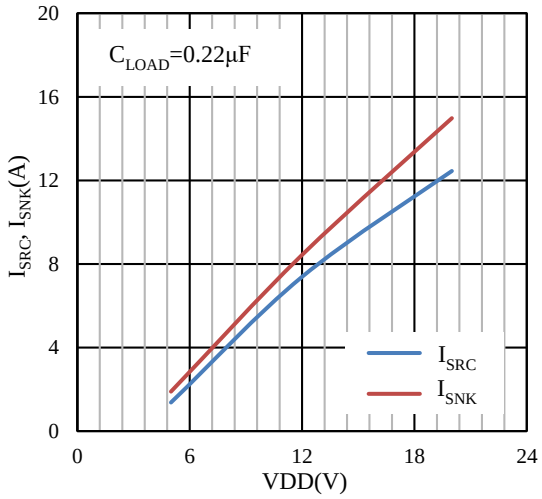
(l) Fall time VS VDD

特性曲线（续）

(T_J= 25°C，VDD=12V，ENA,ENB 悬空，INA/INB=0 或 5V(slew rate =2V/ns)，F_{SW}=20kHz，Duty cycle=50%，OUT 端接 1.8nF 电容，除非另有说明。)



(m) T_M VS T_J



(n) I_{SRC}, I_{SNK} VS VDD

Chipown Confidential to

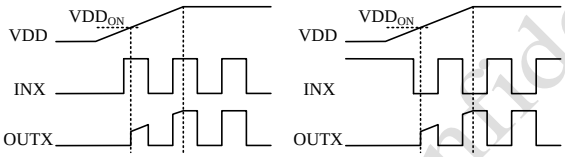
功能描述

PN7762/3/4是一款双通道、高速低侧栅极驱动芯片。该芯片可以作为大功率MOSFET和IGBT的驱动开关，并且其输出可以提供高达5A拉电流和5A灌电流的峰值电流脉冲。

1. 欠压保护

PN7762/3/4提供欠压保护功能。当VDD电压上升但仍小于VDD开启电压VDD_{ON}时，无论输入信号的状态，芯片输出保持为低电平；当VDD电压下降到小于欠压保护的阈值电压VDD_{OFF}时，无论输入信号的状态，芯片输出保持为低电平。设置滞回值可以防止以下两种情况导致的误触发：一是低电压工作时，电源供电有噪声，导致VDD电压不稳定；二是输出翻转时的大电流会拉低VDD。

图9是VDD上电过程，使能管脚浮置或接高电位。如图所示，在VDD未上升到欠压保护阈值VDD_{ON}时，芯片输出为低电平；当VDD电压上升到VDD_{ON}时，驱动输出的幅值跟随VDD变化直到VDD稳定。



(a) 输入输出同相　　(b) 输入输出反相

图9 上电过程

2. 输入级

双通道低侧驱动芯片PN7762/3/4系列的输入脚INA和INB兼容TTL/CMOS电平，其有效高电平是2.1V，有效低电平是1.1V。同时，该引脚的有效电平具有较宽的滞回，典型值是1V。传统的TTL电平实现时存在小于0.5V的滞回，因此输入引脚设计较宽的滞回值（1V）可以提高抗噪声干扰能力。

PN7762的输入引脚INA和INB、PN7764的输入引脚INB内部接下拉到地的电阻，如果该引脚浮置，那么输入为低电平，芯片输出为低电平；PN7763的输入引脚INA和INB、PN7764的输入引脚INA内部接上拉到电源的电阻，如果该引脚浮置，那么输入为高电平，芯片输出为低电平。因此输入引脚浮置时，芯片输出保持为低电平，防止通电时产生不期望的芯片输出为高电平的情况。

3. 使能功能

使能功能在栅极驱动器中是一个很重要的功能，尤其是某些特定的应用。PN7762/3/4都提供了独立的使能脚ENA和ENB，用于单独控制每个输出通道。使能脚接高电平或浮置时，芯片输出是随输入信号变化的；使能脚接低电平时，无论输入信号是什么状态，芯片输出保持为低电平。与输入级一样，使能脚兼容5V和3.3V电平，其有效高电平是2.1V，有效低电平是1.1V。该引脚的有效电平具有较宽的滞回，典型值是1V。传统的TTL电平实现时存在小于0.5V的滞回，因此设计较宽的滞回值（1V）可以提高抗噪声干扰能力。

4. 输出级

PN7762/3/4驱动级输出采用互补CMOS结构，最高可以提供5A的拉电流和5A的灌电流。PN7762/3/4的输出阻抗非常小，高侧PMOS的导通电阻典型值是0.7Ω，低侧NMOS的导通电阻典型值是0.4Ω。

针对更高的驱动电流，PN7762/3/4的两个输出可以并联使用，但是必须严格控制INA和INB输入信号的上升、下降斜率。在并联应用中要求INA和INB的dV/dt要大于20 V/μs。当INA和INB的dV/dt特别慢的时候，由于INA和INB的逻辑高（或者逻辑低）阈值存在一定的差异，INA和INB内部电路识别高电平（或者低电平）的时间点就会存在延时，此时即使INA和INB本身的传输延时严格匹配，也会导致OUTA和OUTB输出电平不同步，进而产生上下管直通的严重后果。此外为了避免走线寄生参数的影响，在并联使用的应用中必须使INA和INB的走线匹配，并且尽量靠近芯片。

Chipown Confidential

测试波形

(T_J= 25°C， VDD=12V， ENA,ENB 悬空， INA/INB=0 或 5V(slew rate =2V/ns)， F_{SW}=20kHz， Duty cycle=50%， OUT 端接 1.8nF 电容，除非另有说明。)

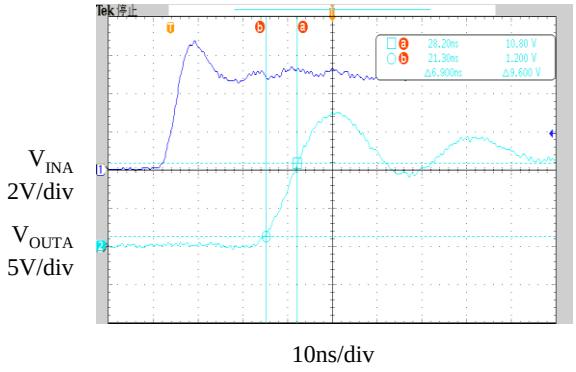


图10 输出上升时间

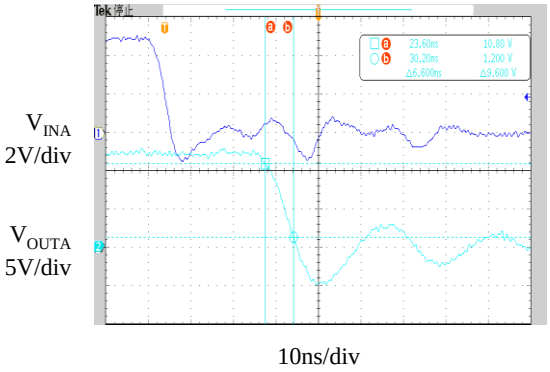


图 11 输出下降时间

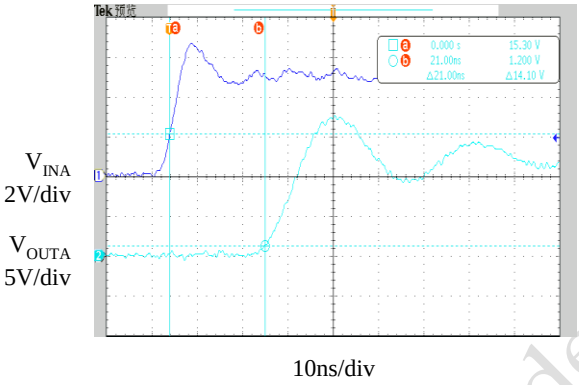


图 12 输入到输出翻转为高传播延时

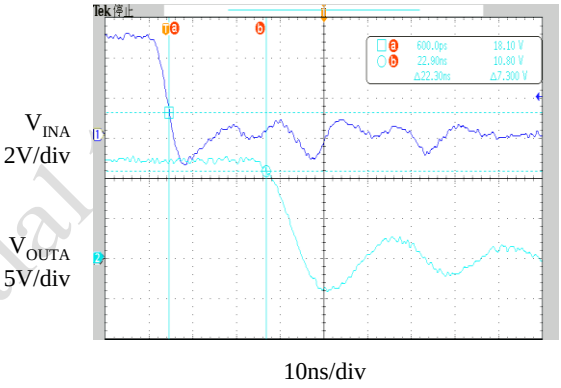


图13 输入到输出翻转为低传播延时

备注：测试波形以 PN7762 为例。

Chipown Confidential

驱动电流和功耗损耗

PN7762/3/4工作时能够提供5A拉电流和灌电流，满足功率MOSFET或IGBT快速开启和关断时所需的大电流。栅极驱动器件封装的功耗取决于以下因素：

1. 功率MOSFET或IGBT所需的栅电荷
2. 开关频率
3. 外接的栅极电阻

PN7762/3/4 具有非常小的静态电流，并且其内部逻辑可以消除驱动级输出的直通，因此在驱动级的功率损耗可以忽略不计。

以典型应用为例，当栅极驱动装置接容性负载时，从电源转移到容性负载的总能量可以用下式计算：

$$E_G=C_{LOAD}V_{DD}^2 \quad (1)$$

式中，C_{LOAD}为其中一路的负载电容；V_{DD}是给栅极驱动装置供电的电源。当电容充电时，有等量的功率耗散，等式（2）给出了总功率损失。

$$P_G=C_{LOAD}V_{DD}^2f_{SW} \quad (2)$$

式中，f_{SW}是开关频率。当V_{DD}=12V，C_{LOAD}=10nF，f_{SW}=300kHz时，功率损耗计算如下：

$$P_G=10nF\times12V^2\times300kHz=0.432W \quad (3)$$

功率 MOSFET 开启和关断需要一定的栅电荷，其开关负载被转换为与栅电荷等效的电容。这个栅电荷包括了输入电容和电源在开通和关断两个状态切换时漏极电压摆动所需的附加电荷。大多数制造商提供了器件在特定条件下的典型和最大栅电荷规格，利用栅电荷Q_G，通过等效$Q_G=C_{LOAD}V_{DD}$给出公式(4)，确定了电容充电时电源的功率损耗。

$$P_G=C_{LOAD}V_{DD}^2f_{SW}=Q_GV_{DD}f_{SW} \quad (4)$$

假设 PN7762/3/4 驱动的每个输出具有60nC的栅电荷（Q_G=60nC，V_{DD}=12V），与栅电荷有关的功率损耗可以计算为：

$$P_G=2\times60nC\times12V\times300kHz=0.432W \quad (5)$$

除了上述栅电荷相关的功耗外，内部所有电路的静态漏电也会产生额外的功率损耗，比如输入级（上拉、下拉电阻）和欠压保护等。静态功率损耗由式(6)给出。

$$P_G=I_{DD}V_{DD} \quad (6)$$

假设I_{DD}=6mA，功率损耗计算为：

$$P_G=6mA\times12V=7.2mW \quad (7)$$

显而易见，和之前计算的栅电荷相关的功率耗散相比，静态功率耗散是微不足道的。在V_{DD}=12V时，偏置电流可以用式(8)计算，外加0.6mA的静态损耗。

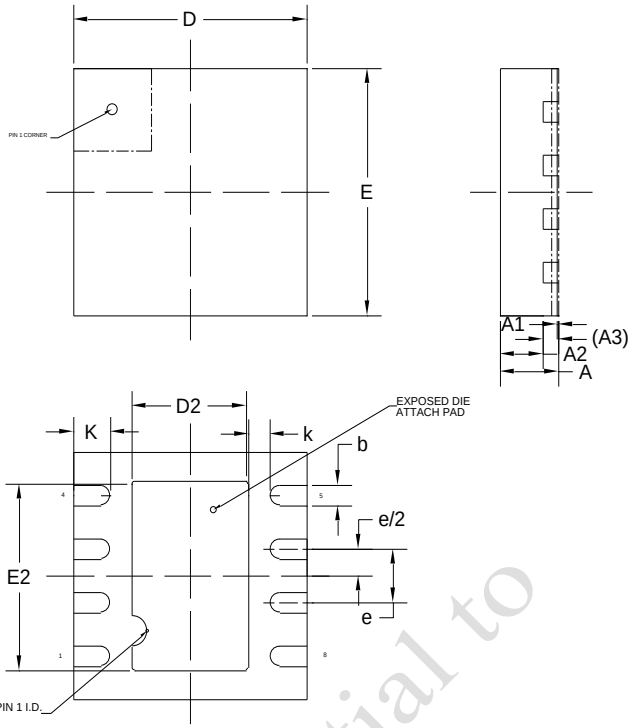
$$I_{DD}\approx\frac{P_G}{V_{DD}}=\frac{0.432W}{12V}=0.036A \quad (8)$$

备注：以上公式均基于典型应用电路图，仅供原理理解。

Chipown Confidential

封装信息

封装外形尺寸DFNWB3×3-8L



尺寸 / 符号	最小（mm）	典型（mm）	最大（mm）	尺寸 / 符号	最小（mm）	典型（mm）	最大（mm）
A	0.700	0.750	0.800	E	3BSC		
A1	0.000	0.020	0.050	e	0.65BSC		
A2		0.550		D2	1.450	1.500	1.550
A3	0.203REF			E2	2.250	2.300	2.350
b	0.200	0.250	0.300	L	0.375	0.475	0.575
D	3BSC			K	0.275REF		

表层丝印	封装
7762 XXXXX	DFNWB3×3-8L
PN PN7763 XXXXX	DFNWB3×3-8L
PN PN7764 XXXXX	DFNWB3×3-8L

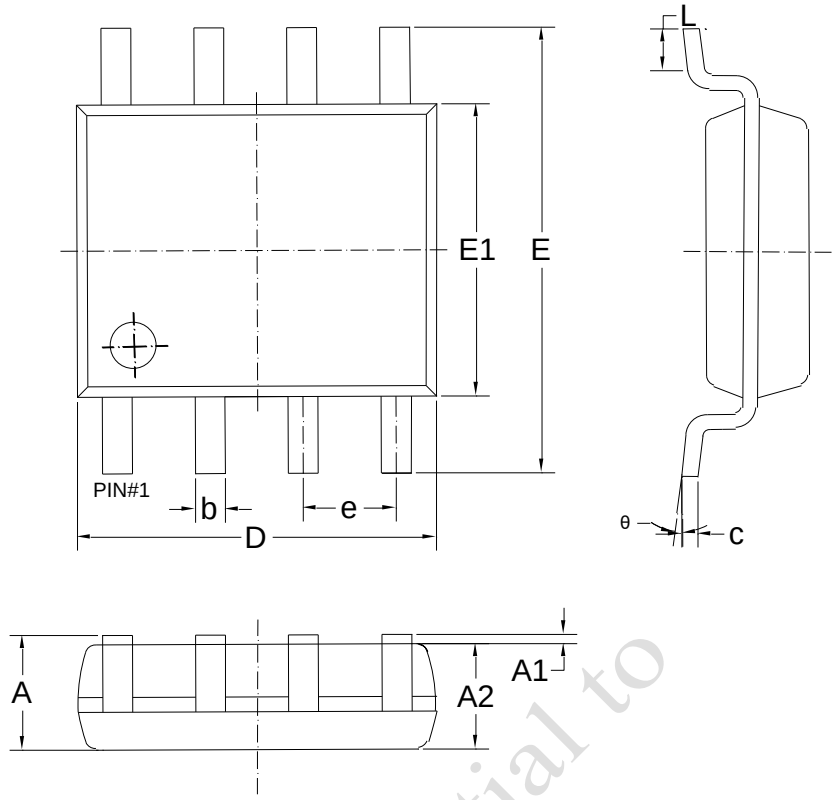
备注：XXXXX：内部代码

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

Chipown Confidential to

封装外形尺寸SOP8



尺寸 / 符号	最小（mm）	最大（mm）	尺寸 / 符号	最小（mm）	最大（mm）
A	1.300	1.750	E	5.800	6.250
A1	0.000	0.250	E1	3.750	4.150
A2	1.250	1.600	e	1.27	
b	0.306	0.510	L	0.400	1.270
c	0.150	0.250	θ	0°	12°
D	4.700	5.100			

表层丝印	封装
PN PN7762/3/4 YWWXXXXX	SOP8

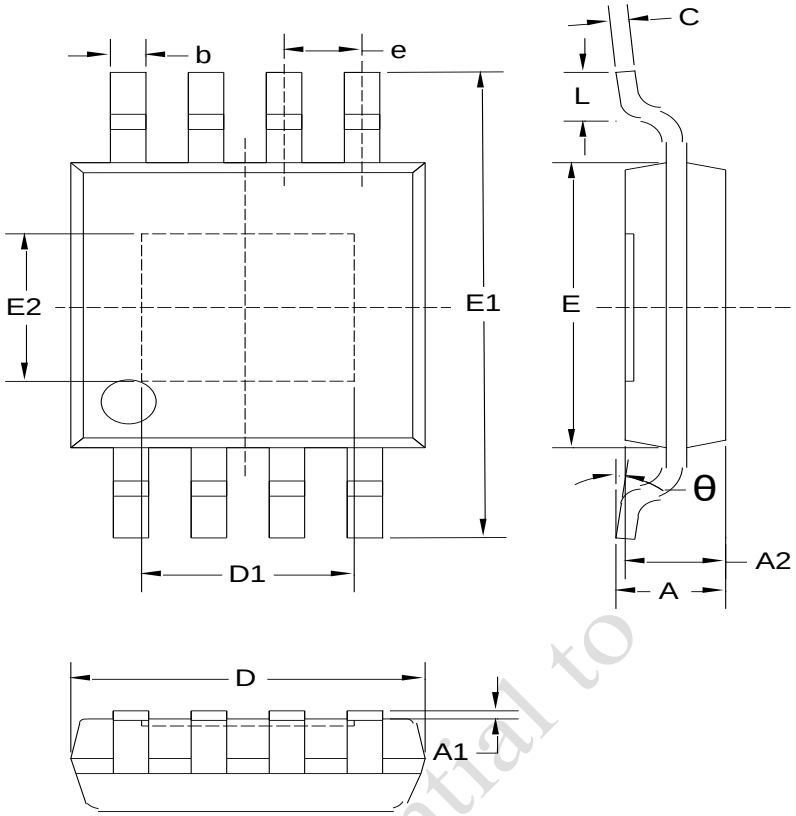
备注：Y：年份代码；WW：周代码；XXXXX：内部代码

Chipown Confidential to

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

封装外形尺寸MSOP8/PP



尺寸 / 符号	最小（mm）	最大（mm）	尺寸 / 符号	最小（mm）	最大（mm）
A	0.820	1.100	E	2.900	3.100
A1	0.020	0.150	E1	4.750	5.050
A2	0.750	0.950	E2	1.450	1.650
b	0.250	0.380	L	0.400	0.800
c	0.090	0.230	θ	0 °	6 °
D	2.900	3.100	e	0.65(BSC)	
D1	1.700	1.900			

表层丝印	封装
PN PN7762 YWWXXXXX	MSOP8/PP

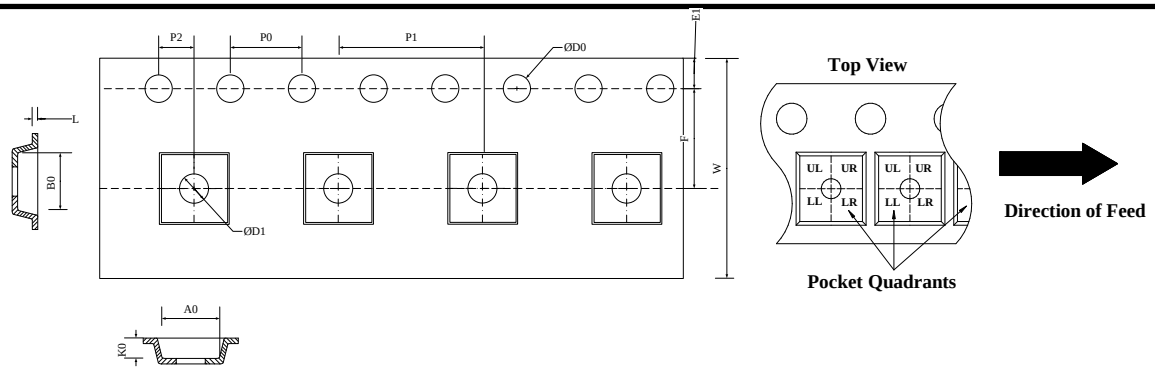
备注：Y：年份代码；WW：周代码；XXXXX：内部代码

Chipown Confidential to

备注：

1. 此制图可以不经通知进行调整；
2. 器件本体尺寸不含模具飞边。

编带和卷轴信息



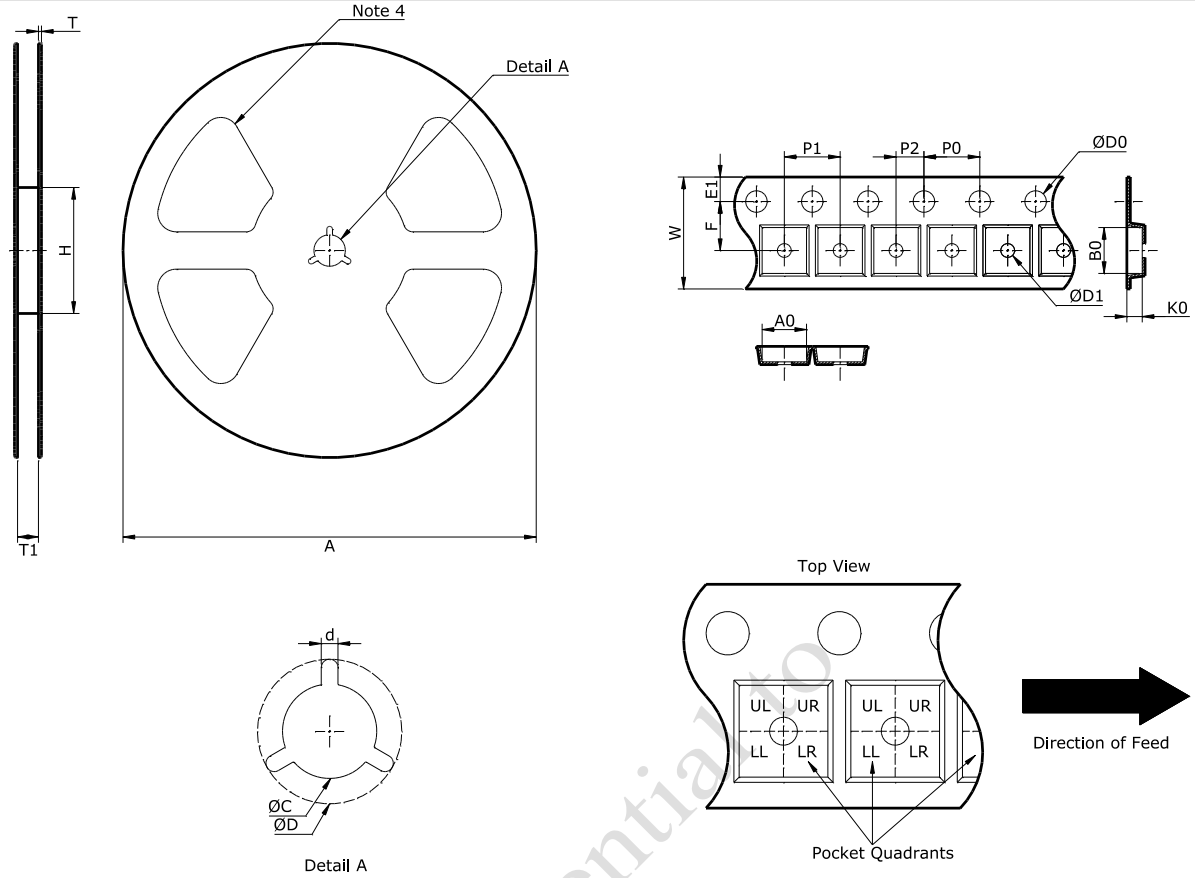
DFNWB3×3-8L Package					
A0 (mm)	**B0 (mm)**	**L (mm)**	**K0 (mm)**	**E1 (mm)**	**F (mm)**
3.20 ±0.05	3.20 ±0.05	0.25 ±0.05	1.10 ±0.05	1.75 ±0.10	5.50 ±0.10
W (mm)	**P0 (mm)**	**P1 (mm)**	**P2 (mm)**	**D0 (mm)**	**Pin 1 Quadrant**
12.00 ±0.30	4.00 ±0.10	8.00 ±0.10	2.00 ±0.05	1.50 ±0.15	UL

备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例，且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

Chipown Confidential

编带和卷轴信息



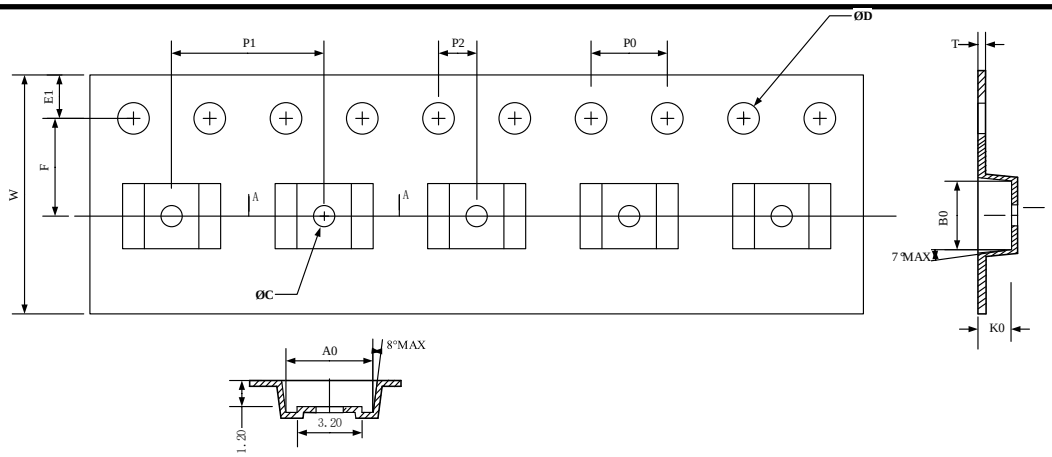
SOP8 Package								
A (mm)	**T (mm)**	**T1 (mm)**	**H (mm)**	**ØC (mm)**	**d (mm)**	**A0 (mm)**	**B0 (mm)**	**K0 (mm)**
330 ±2.0	3max	14 +4.5/-4	100 ±2	13.4 +0.2/-0.6	2.5 ±1	6.60 +0.1/-0.3	5.3 +0.2/-0.1	2 ±0.2
W (mm)	**F (mm)**	**E1 (mm)**	**P0 (mm)**	**P1 (mm)**	**P2 (mm)**	**ØD0 (mm)**	**ØD1 (mm)**	**Pin 1 Quadrant**
12.00 ±0.3	5.50 ±0.1	1.75 ±0.10	4.00 ±0.10	8.0 ±0.1	2.0 ±0.1	1.5 +0.1/-0	1.5 +0.25/-0	UL

备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例，且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

Chipown Confidential to

编带和卷轴信息



MSOP8/PP Package					
W (mm)	**F (mm)**	**E1 (mm)**	**P1 (mm)**	**ØC (mm)**	**P2 (mm)**
12.00 +0.30/-0.10	5.50 ±0.05	1.75 ±0.10	8.00 ±0.10	1.50 +0.25/-0	2.00 ±0.05
P0 (mm)	**ØD (mm)**	**A0 (mm)**	**B0 (mm)**	**K0 (mm)**	**T (mm)**
4.00 ±0.10	1.50 +0.10/-0	5.20 ±0.10	3.30 ±0.10	1.50 ±0.10	0.25 ±0.02

备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例，且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

Chipown Confidential to

重要声明

无锡芯朋微电子股份有限公司保留更改规格的权利，恕不另行通知。无锡芯朋微电子股份有限公司对任何将其产品用于特殊目的的行为不承担任何责任，无锡芯朋微电子股份有限公司没有为用于特定目的产品提供使用和应用支持的义务。无锡芯朋微电子股份有限公司不会转让其专利许可以及任何其他的相关许可权利。

任何半导体产品在特定条件下都有一定的失效或者发生故障的可能，买方有责任在使用我司产品进行系统设计、试样和整机制造时遵守安全标准并采取安全措施，充分进行验证，以避免潜在失败风险可能造成人身伤害或者财产损失情况的发生。

Chipown Confidential to